

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年10月 9日

出 願 番 号

Application Number:

特願2002-296066

[ ST.10/C ]:

[ JP2002-296066 ]

出 願 人

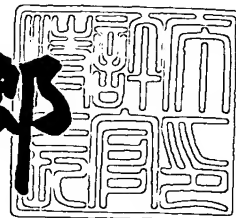
Applicant(s):

株式会社デンソー

2003年 5月27日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3039025

【書類名】 特許願

【整理番号】 IP7218

【提出日】 平成14年10月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

    【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

    【氏名】 伊藤 裕康

【発明者】

    【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

    【氏名】 堅田 満孝

【発明者】

    【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

    【氏名】 村本 英俊

【特許出願人】

    【識別番号】 000004260

    【氏名又は名称】 株式会社デンソー

【代理人】

    【識別番号】 100100022

    【弁理士】

    【氏名又は名称】 伊藤 洋二

    【電話番号】 052-565-9911

【選任した代理人】

    【識別番号】 100108198

    【弁理士】

    【氏名又は名称】 三浦 高広

    【電話番号】 052-565-9911

【選任した代理人】

    【識別番号】 100111578

【弁理士】

【氏名又は名称】 水野 史博

【電話番号】 052-565-9911

【手数料の表示】

【予納台帳番号】 038287

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 E E P R O M およびその製造方法

【特許請求の範囲】

【請求項 1】 メモリトランジスタと、該メモリトランジスタを選択するための選択トランジスタとを備えるフローティングゲート型であって、2層ポリシリコン型の E E P R O M において、

前記メモリトランジスタは、第 1 導電型の半導体基板（1）の表層に形成された第 2 導電型の埋め込み層（3）と、

前記半導体基板（1）の表層に、前記埋め込み層（3）と隣接して形成された第 2 導電型のドレイン側電界緩和層（10）と、

前記半導体基板（1）の表層に形成された第 2 導電型のソース領域（16）と

、  
前記ドレイン側電界緩和層（10）と前記ソース領域（16）との間のチャンネル領域（12）と、

前記半導体基板（1）の表面上に形成されたゲート絶縁膜（4）と、

前記ゲート絶縁膜（4）のうち、前記埋め込み層（3）上の一部に形成されたトンネル膜（6）と、

前記トンネル膜（6）および前記チャンネル領域（12）の上に形成され、前記トンネル膜を全て覆い、前記ソース領域および前記ドレイン側電界緩和層（10）を覆っていない形状の浮遊ゲート電極（8）と、

前記浮遊ゲート電極（8）の上面および側面を覆っている層間絶縁膜（11）と、

前記層間絶縁膜（11）を介して、前記浮遊ゲート電極（8）の上に形成された制御ゲート電極（13）とを有し、

前記ソース領域（16）および前記ドレイン側電界緩和層（10）は、浮遊ゲート電極をマスクとして利用したイオン注入により自己整合的に形成されており

、  
前記制御ゲート電極（13）は、前記トンネル膜（6）の上側にて、前記浮遊ゲート電極（8）より幅が広く前記浮遊ゲート電極（8）を包み込む形状であり

、前記チャネル領域（１２）の上側では前記浮遊ゲート電極（８）より幅が狭い形状であることを特徴とするEEPROM。

【請求項２】 前記選択トランジスタはゲート電極（７）およびソース領域を有しており、少なくとも前記メモリトランジスタのソース領域または前記選択トランジスタのソース領域のどちらか一方に、前記浮遊ゲート電極（８）又は前記ゲート電極（７）をマスクとして利用したイオン注入により自己整合的に形成された第２導電型のソース側電界緩和層（１７、１８、２０）を備えていることを特徴とする請求項１に記載のEEPROM。

【請求項３】 前記ソース側電界緩和層（１７、２０）に対しオフセットをなすように、前記ソース側電界緩和層（１７、２０）よりも高濃度である第２導電型のソース層（２１、２２）が形成されており、少なくとも前記メモリトランジスタと前記選択トランジスタのどちらか一方がオフセット型ソース構造であることを特徴とする請求項２に記載のEEPROM。

【請求項４】 前記選択トランジスタはゲート電極（７）を有しており、該ゲート電極（７）は、前記メモリトランジスタにて第１層ポリシリコンにより前記浮遊ゲート電極（８）と同時に形成されたものであることを特徴とする請求項１ないし３のいずれか１つに記載のEEPROM。

【請求項５】 前記選択トランジスタはドレイン領域にドレイン側電界緩和層（９）を有しており、該ドレイン側電界緩和層（９）は前記メモリトランジスタの前記ドレイン側電界緩和層（１０）と同時に、かつ、前記ゲート電極（７）をマスクとして利用したイオン注入により自己整合的に形成されたものであることを特徴とする請求項１ないし４のいずれか１つに記載のEEPROM。

【請求項６】 前記層間絶縁膜（１１）は窒化膜を有する構成となっており、前記層間絶縁膜（１１）は前記選択トランジスタおよび前記メモリトランジスタの全域にて、前記ゲート電極（７）の表面上を含む前記半導体基板（１）の上に形成されていることを特徴とする請求項１ないし５のいずれか１つに記載のEEPROM。

【請求項７】 前記半導体基板（１）の表面には、素子分離のための絶縁膜（２）が形成されており、前記トンネル膜（６）が形成されている領域の長さは

、前記絶縁膜により規定されていることを特徴とする請求項 1 ないし 6 のいずれか 1 つに記載 E E P R O M。

【請求項 8】 メモリトランジスタと該メモリトランジスタを選択するための選択トランジスタとを備えるフローティングゲート型の E E P R O M の製造方法において、

前記メモリトランジスタの形成予定領域にて、第 1 導電型の半導体基板（1）に第 2 導電型の埋め込み層（3）を形成する工程と、

前記埋め込み層（3）が形成されている半導体基板（1）の表面上にゲート絶縁膜（4）を形成する工程と、

前記ゲート絶縁膜（4）のうち、前記埋め込み層（3）上の一部をエッチングすることで、前記半導体基板（1）の表面をゲート絶縁膜（4）から露出させる工程と、

前記露出した前記半導体基板（1）の表面上にトンネル膜（6）を形成する工程と、

前記ゲート絶縁膜（4）および前記トンネル膜（6）の上に第 1 層ポリシリコンを成膜しパターニングすることで、前記トンネル膜（6）の全部とチャネルの形成予定領域とを覆い、かつ前記チャネルの形成予定領域と前記埋め込み層（3）との間の領域と、ソース領域の形成予定領域とを覆わない形状にて浮遊ゲート電極（8）を形成する工程と、

前記チャネルの形成予定領域と前記埋め込み層（3）との間の領域に、前記浮遊ゲート電極（8）をマスクとして利用してイオン注入することで、自己整合的に、かつ前記埋め込み層（3）に隣接して、第 2 導電型のドレイン側電界緩和層（10）を形成する工程と、

前記浮遊ゲート電極（8）の上面および側面の全体を覆うように層間絶縁膜（11）を形成する工程と、

前記層間絶縁膜（11）が前記浮遊ゲート電極（8）の上面および側面の全体を覆っている状態のまま、前記層間絶縁膜（11）の上に第 2 層ポリシリコンを成膜しパターニングすることで、前記トンネル膜（6）の上側では、前記浮遊ゲート電極（8）より幅が広く、前記浮遊ゲート電極（8）を包み込む形状であっ

て、前記チャンネルの形成予定領域の上側では、前記浮遊ゲート電極（８）より幅が狭く、前記ドレイン側電界緩和層（１０）を覆っていない形状の制御ゲート電極（１３）を形成する工程と、

前記半導体基板（１）の表層に、前記ドレイン側電界緩和層との間にチャンネル領域をなすように、前記浮遊ゲート電極（８）をマスクとして利用してイオン注入することで、自己整合的にソース領域（１６、１８）を形成する工程とを有することを特徴とするＥＥＰＲＯＭの製造方法。

【請求項９】 前記選択トランジスタの形成予定領域にて、前記半導体基板（１）の表面上にゲート電極（７）を形成する工程と、

前記半導体基板（１）の表層に、前記ゲート電極（７）をマスクとして利用したイオン注入を行うことで、前記選択トランジスタの形成予定領域にて、自己整合的にかつ前記埋め込み層（３）に隣接してソース領域を形成する工程とを有し、

少なくとも、前記メモリトランジスタのソース領域を形成する工程または、前記選択トランジスタのソース領域を形成する工程のどちらか一方にて、前記浮遊ゲート電極（８）若しくは前記ゲート電極（７）をマスクとして利用したイオン注入を行うことで、自己整合的に第２導電型のソース側電界緩和層（１７、１８、２０）を形成することを特徴とする請求項８に記載のＥＥＰＲＯＭの製造方法。

【請求項１０】 前記メモリトランジスタのドレイン側電界緩和層（１０）を形成する工程と、前記ソース側電界緩和層（１７、１８、２０）を形成する工程とを同時に、かつ同一のイオン注入条件にて行うことを特徴とする請求項９に記載のＥＥＰＲＯＭの製造方法。

【請求項１１】 前記ソース側電界緩和層（１７、２０）に対しオフセットをなすように、前記ソース側電界緩和層（１７、２０）よりも高濃度である第２導電型のソース層（２１、２２）を形成することを特徴とする請求項９又は１０に記載のＥＥＰＲＯＭ。

【請求項１２】 前記浮遊ゲート電極（８）を形成する工程では、前記第１層ポリシリコンをパターニングすることで、前記浮遊ゲート電極（８）を形成す

ると同時に、前記選択トランジスタのゲート電極（７）を形成することを特徴とする請求項 8 ないし 1 1 のいずれか 1 つに記載の E E P R O M の製造方法。

【請求項 1 3】 前記選択トランジスタのドレイン形成予定領域にドレイン側電界緩和層（９）を形成する工程を有し、

前記選択トランジスタのドレイン側電界緩和層（９）を前記メモリトランジスタのドレイン側電界緩和層（１０）と同時に、かつ、同一のイオン注入条件にて、前記ゲート電極をマスクとしたイオン注入を行うことで、自己整合的に形成することを特徴とする請求項 8 ないし 1 2 のいずれか 1 つに記載の E E P R O M の製造方法。

【請求項 1 4】 前記層間絶縁膜（１１）を形成する工程は、窒化膜を有する構成の絶縁膜を用い、前記メモリトランジスタおよび前記選択トランジスタの全域にて、前記選択トランジスタのゲート電極（７）の表面上を含む前記半導体基板（１）の上に前記層間絶縁膜（１１）を形成し、

前記層間絶縁膜（１１）を前記メモリトランジスタおよび前記選択トランジスタの全域に残した状態にて、E E P R O M を形成することを特徴とする請求項 8 ないし 1 3 のいずれか 1 つに記載の E E P R O M の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、電氣的にプログラム可能であり、かつ電氣的に消去可能なフローティング・ゲート型不揮発メモリ素子、特に、ファウラー・ノルトハイム (Fowler Nordheim) によるトンネル効果を利用して書き換えを行う E E P R O M (Electrical Erasable Programmable Read Only Memory) および、その製造方法に関する。

【0 0 0 2】

【従来の技術】

従来、提案されている E E P R O M の構造を図 1 9 に示す。図 1 9 に示す E E P R O M は、メモリトランジスタと、このメモリトランジスタをメモリの書き換えおよび読み出し時に選択するための選択トランジスタとを有している。



## 【 0 0 0 3 】

メモリトランジスタ領域では、半導体基板 3 1 の表層にドレイン領域に相当する埋め込みN型層 3 2 とN<sup>+</sup>型ソース層 4 2 が形成されている。さらに、半導体基板 3 1 の表面上にはゲート酸化膜 3 3 が形成されており、埋め込みN型層 3 2 の上には、トンネル膜 3 4 が形成されている。そして、トンネル膜 3 4 の上から埋め込みN型層 3 2 とソース層 4 2 との間の領域上にかけて浮遊ゲート電極 3 5、層間絶縁膜 3 6、制御ゲート電極 3 7 が形成されている。

## 【 0 0 0 4 】

また、選択トランジスタ領域では、半導体基板 3 1 の上にゲート酸化膜 3 3 を介してゲート電極 3 8 が形成されている。そして、半導体基板 3 1 の表層のうち、ゲート電極の両側に、N<sup>+</sup>型ソース層 4 1、ドレイン側電界緩和層 3 9、N<sup>+</sup>型ドレイン層 4 0 が形成されている。

## 【 0 0 0 5 】

このような構造のEEPROMでは、メモリトランジスタにおいて、埋め込みN型層 3 2 は浮遊ゲート電極 3 5 を形成する前に形成され、ソース層 4 2 は制御ゲート電極 3 7 の形成後に形成される。このことから、浮遊ゲート電極 3 5 の下側であって、埋め込みN型層 3 2 とソース層 4 2 との間のチャネル領域のチャネル長は自己整合的に決定されない。このためトランジスタ特性のばらつきが生じ易いという問題がある。

## 【 0 0 0 6 】

さらに、メモリトランジスタの埋め込みN型層 3 2 の上に浮遊ゲート電極 3 5 および、制御ゲート電極 3 7 が形成されている。したがって、埋め込みN型層 3 2 と浮遊ゲート電極 3 5 とがオーバーラップしている領域が広いことから、浮遊ゲート電極 3 5 とドレイン領域間の寄生容量が大きい。このため、書き換え速度が小さいという問題がある。

## 【 0 0 0 7 】

これらの問題を改善するために、図 2 0 に示すような技術がある（特許文献 1、2 参照）。図 2 0 に示す構造のEEPROMは、図 1 9 に示す構造に対して、メモリトランジスタのドレイン領域上にて、浮遊ゲート電極 3 5 および制御ゲート電極 3 7 が形成されている。

ト電極 3 7 が除去された構造となっている。そして、半導体基板 3 1 の表層のうち、浮遊ゲート電極 3 5 等が除去されている領域下では、ドレイン側電界緩和層 4 3 が形成されている。

【 0 0 0 8 】

この技術によれば、メモリトランジスタにおいて、浮遊ゲート電極 3 5 および、制御ゲート電極 3 7 をマスクとしたイオン注入により、ドレイン領域側の電界緩和層 4 3 およびソース層 4 2 を自己整合的に形成できる。このため、チャネル長のばらつきを抑え、トランジスタ特性のばらつきを低減できる。また、図 1 9 の構造と比較して、浮遊ゲート電極 3 5 とドレイン領域とがオーバーラップしている領域を減少させることができるため、浮遊ゲート電極 3 5 とドレイン領域間の寄生容量を低減できる。これにより、書き換え速度を向上させることができる。

【 0 0 0 9 】

【特許文献 1】

特開昭 5 8 - 1 1 5 8 6 5 号公報

【 0 0 1 0 】

【特許文献 2】

特開昭 5 9 - 2 0 5 7 6 3 号公報

【 0 0 1 1 】

【発明が解決しようとする課題】

しかし、図 2 0 に示す技術においても以下に示す問題がある。EEPROMの製造工程において、浮遊ゲート電極 3 5 および制御ゲート電極 3 7 を次のように形成する。まず、トンネル膜 3 4 およびゲート絶縁膜 3 3 の上に浮遊ゲート電極 3 5 を構成する第 1 層ポリシリコン層を形成する。その上に層間絶縁層を介して制御ゲート電極 3 7 を構成する第 2 層ポリシリコン層を形成する。その後、第 1 層ポリシリコン層／層間絶縁層／第 2 層ポリシリコン層の 3 層を同時にエッチングすることで、浮遊ゲート電極 3 5、層間絶縁膜 3 6、制御ゲート電極 3 7 を形成する。

【 0 0 1 2 】

このように、図 2 0 に示す E E P R O M の製造においては、第 1 層ポリシリコン層／層間絶縁層／第 2 層ポリシリコン層の 3 層を同時にエッチングするという特殊な加工工程が必要となる。

【 0 0 1 3 】

また、選択トランジスタのゲート電極も、第 1 層ポリシリコン層 4 4 ／層間絶縁層 4 5 ／第 2 層ポリシリコン層 4 6 の 3 層構造となっている。このため、ゲート電極を形成している第 1 層ポリシリコン層 4 4 と外部電極との電氣的接続を取るために、第 1 層ポリシリコン層 4 4 の上の層間絶縁膜 4 5 および第 2 層ポリシリコン層 4 6 にホール等を形成する加工工程を追加しなければならないという問題が生じる。

【 0 0 1 4 】

また、図 2 0 に示すように、トンネル膜 3 4 の一部の領域上にのみ、浮遊ゲート電極 3 5 および制御ゲート電極 3 7 を形成する場合は、上述の 3 層の加工のとき、トンネル膜 3 4 が露出するため、トンネル膜 3 4 にエッチングダメージを与えられる。このため、トンネル膜 3 4 の劣化が生じ書き換え寿命が低下するという問題が生じる。

【 0 0 1 5 】

また、第 1 層ポリシリコン層／層間絶縁層／第 2 層ポリシリコン層の 3 層を同時にエッチングしたとき、層間絶縁層 3 6 の端面が露出した状態となる。この露出した端面に、上述の加工のエッチングダメージが残留していると、このダメージを受けた端面を介して浮遊ゲート電極 3 5 の電荷が抜けてしまうので、電荷保持特性が劣化するという問題が生じる。

【 0 0 1 6 】

本発明は上記点に鑑みて、書き換え寿命の低下と、電荷保持特性の劣化とを抑制しつつ、メモリトランジスタの特性ばらつきおよび寄生容量を低減することができる E E P R O M およびその製造方法を提供することを目的とする。

【 0 0 1 7 】

【課題を解決するための手段】

上記目的を達成するため、請求項 1 に記載の発明では、E E P R O M のメモリ

トランジスタにて、浮遊ゲート電極（８）はトンネル膜（６）およびチャネル領域（１２）の上に配置され、トンネル膜（５）の上ではこのトンネル膜を全て覆っており、ソース領域およびドレイン側電界緩和層（１０）を覆っていない形状である。ソース領域（１６）およびドレイン側電界緩和層（１０）は浮遊ゲート電極をマスクとして利用したイオン注入により自己整合的に形成され、層間絶縁膜は浮遊ゲート電極の上面および側面を全て覆っている。制御ゲート電極（１３）は、層間絶縁膜を介して浮遊ゲート電極の上に形成されており、トンネル膜（６）の上側では、浮遊ゲート電極（８）より幅が広く浮遊ゲート電極（８）を包み込む形状であり、チャネル領域（１２）の上側では浮遊ゲート電極（８）より幅が狭い形状であることを特徴としている。

## 【 0 0 1 8 】

本発明では、このようにドレイン側の電界緩和層およびソース領域が浮遊ゲート電極を利用したイオン注入により自己整合的に形成されている。このことから、チャネル長のばらつきを低減でき、メモリトランジスタの特性ばらつきを低減することができる。

## 【 0 0 1 9 】

また、ドレイン領域にて、電界緩和層（１０）が浮遊ゲート電極（８）に覆われていないことから、ドレイン領域が浮遊ゲート電極に完全に覆われている構造のものと比較して、ドレイン領域と浮遊ゲート電極とがオーバーラップしている領域が少ない。したがって、本発明によれば、ドレイン領域が浮遊ゲート電極に覆われている構造のものよりも、浮遊ゲート電極とドレイン領域間での寄生容量を低減させることができる。

## 【 0 0 2 0 】

加えて、浮遊ゲート電極（８）はトンネル膜（６）を完全に覆っていることから、浮遊ゲート電極（８）を形成するための加工時にて、トンネル膜（６）が露出することがない。このため、トンネル膜（６）が浮遊ゲート電極（８）の形成時にエッチングダメージを受けるのを防ぐことができる。これにより、トンネル膜質の劣化を低減させ、書き換え寿命を向上させることができる。

## 【 0 0 2 1 】

また、トンネル膜（６）の上側において、制御ゲート電極（１３）の幅が浮遊ゲート電極（８）に対し広く、制御ゲート電極（１３）が浮遊ゲート電極（８）を包み込む構造となっている。一方、チャネル領域（１２）上では制御ゲート電極（１３）は、浮遊ゲート電極（８）より幅が狭くなっている。このように、浮遊ゲート電極と制御ゲート電極とは端面が同じ位置に存在しない構造となっている。つまり、制御ゲート電極と浮遊ゲート電極とが同時に加工されていない構造となっており、層間絶縁膜は、浮遊ゲート電極の上面と側面とを覆っている構造となっている。

## 【 0 0 2 2 】

これにより、浮遊ゲート電極の表面上にて、層間絶縁膜に電荷抜けの要因となっていたエッチング端面が存在しないので、電荷保持特性の劣化を抑制することができる。

## 【 0 0 2 3 】

請求項２に記載の発明では、請求項１に記載の発明に加え、少なくともメモリトランジスタのソース領域または選択トランジスタのソース領域のどちらか一方に、浮遊ゲート電極（８）又はゲート電極（７）をマスクとして利用したイオン注入により自己整合的に形成された第２導電型のソース側電界緩和層（１７、１８、２０）を備えていることを特徴としている。

## 【 0 0 2 4 】

このように請求項１の発明において、例えば、ソース領域にソース側電界緩和層を自己整合的に形成することができる。

## 【 0 0 2 5 】

このようにしても請求項１の発明と同様の効果を有する。加えて、メモリトランジスタでは、ドレイン領域およびソース領域に、それぞれドレイン側電界緩和層およびソース側電界緩和層を持つ構造となることから、これらの領域上でのゲート絶縁膜にかかる電界を低くし、ゲート絶縁膜の膜厚を薄くすることができる。このゲート酸化膜の薄膜化により、メモリトランジスタの駆動能力を向上させることができる。

## 【 0 0 2 6 】

また、選択トランジスタのソース領域にソース側電界緩和層が形成されているとき、通常、選択トランジスタのドレイン領域にもドレイン側電界緩和層が形成されている。したがって、これらの領域上でのゲート酸化膜にかかる電界を低くし、ゲート酸化膜の膜厚を薄くすることができる。

## 【 0 0 2 7 】

なお、本発明は、請求項 1 に記載の発明に対して、ソース側電界緩和層をメモリトランジスタまたは選択トランジスタのどちらか一方にのみ形成した構造とすることができ、また、ソース側電界緩和層をメモリトランジスタと選択トランジスタの両方に形成した構造とすることもできる。

## 【 0 0 2 8 】

請求項 3 に記載の発明では、請求項 2 の発明におけるソース側電界緩和層（17、20）に対し、オフセットをなすようにソース側電界緩和層（17、20）よりも高濃度の第 2 導電型ソース層（21、22）が形成されており、少なくともメモリトランジスタと選択トランジスタのどちらか一方がオフセット型ソース構造であることを特徴としている。

## 【 0 0 2 9 】

メモリトランジスタがオフセット型ソース構造である場合、EEPROMは、メモリトランジスタのソース領域に単に電界緩和層が形成されているときと比較して、電界緩和層が形成されている領域が少なく、電界緩和層よりも高濃度である領域を有している。また、選択トランジスタがオフセット型ソース構造である場合、選択トランジスタのソース領域が電界緩和層のみにより構成されているときと比較して、電界緩和層が形成されている領域が少なく、電界緩和層よりも高濃度である領域を有している。

## 【 0 0 3 0 】

このことから、選択トランジスタにより選択されたメモリトランジスタのビット情報を読みに行ったとき、例えば、書き込みビットを読みに行ったときの電界緩和層での電流損失を低減することができる。この結果、過剰な書き込みを行う必要が無いため、書き換え寿命を向上させることができる。

## 【 0 0 3 1 】

請求項 4 に記載の発明では、選択トランジスタのゲート電極（7）は、メモリトランジスタにて第 1 層ポリシリコンにより浮遊ゲート電極（8）と同時に形成されたものであることを特徴としている。

【 0 0 3 2 】

このことから、浮遊ゲート電極とゲート電極とが別々に形成されたものと比較して、浮遊ゲート電極とゲート電極との間の距離を高精度に保つことができる。

【 0 0 3 3 】

請求項 5 に記載の発明では、選択トランジスタのドレイン側電界緩和層（9）はメモリトランジスタのドレイン側電界緩和層（10）と同時にかつ、ゲート電極をマスクとして利用したイオン注入により自己整合的に形成されていることを特徴としている。

【 0 0 3 4 】

選択トランジスタのゲート電極がオン状態のとき、メモリトランジスタのドレイン領域に形成された電界緩和層により耐圧が決まる。一方、ゲート電極がオフ状態では、選択トランジスタのドレイン領域に形成された電界緩和層により、耐圧が決まる。本発明によれば、選択トランジスタのドレイン領域に形成された電界緩和層と、メモリトランジスタのドレイン領域に形成された電界緩和層とが同一のイオン成分およびイオン濃度であることから、EEPROMの耐圧を一定にすることができる。

【 0 0 3 5 】

請求項 6 に記載の発明では、層間絶縁膜（11）は窒化膜を有する構成となっており、選択トランジスタおよびメモリトランジスタの全域にて、ゲート電極（7）の表面上を含む半導体基板（1）の上に形成されている形成されていることを特徴としている。

【 0 0 3 6 】

このように、窒化膜を有する層間絶縁膜（11）により、浮遊ゲート電極およびゲート電極の表面全体や、浮遊ゲート電極およびゲート電極が形成されていない半導体基板表面全体を層間絶縁膜にて覆うことで、層間絶縁膜に覆われている領域に対して、汚染物質が外部より侵入するのを抑制することができる。このこ

とから、汚染物質による特性変動若しくは電荷保持特性の劣化が生じるのを抑制することができる。

【 0 0 3 7 】

なお、窒化膜を有する構成の層間絶縁膜としては、例えばONO (Oxide Nitride Oxide) 膜を用いることができる。

【 0 0 3 8 】

請求項 7 に記載の発明では、トンネル膜 (6) が形成されている領域の長さは、素子分離のための絶縁膜 (2) により規定されていることを特徴としている。

【 0 0 3 9 】

これにより、トンネル膜が形成されている領域の形状ばらつきを低減させることができる。

【 0 0 4 0 】

請求項 8 に記載の発明では、以下のようにしてEEPROMを形成することを特徴としている。

【 0 0 4 1 】

半導体基板 (1) の表面上に形成されているゲート絶縁膜 (4) のうち、埋め込み層 (3) の上の一部をエッチングすることで、半導体基板 (1) の表面をゲート酸化膜 (4) から露出させる。露出した半導体基板 (1) の表面上にトンネル膜 (6) を形成する。第 1 層ポリシリコンにより、トンネル膜 (6) の全部とチャネルの形成予定領域とを覆い、かつ、チャネルの形成予定領域と埋め込み層 (3) との間の領域と、ソース領域の形成予定領域とを覆わない形状にて浮遊ゲート電極 (8) を形成する。チャネルの形成予定領域と埋め込み層 (3) との間の領域に、浮遊ゲート電極 (8) を利用したイオン注入により、自己整合的にかつ埋め込み層 (3) に隣接してドレイン側電界緩和層 (10) を形成する。

【 0 0 4 2 】

そして、浮遊ゲート電極 (8) の上面および側面の全体を覆うように層間絶縁膜 (11) を形成し、層間絶縁膜 (11) が浮遊ゲート電極 (8) の上面および側面の全体を覆っている状態のまま、第 2 層ポリシリコンにより、トンネル膜 (6) の上側では、浮遊ゲート電極 (8) より幅が広く、浮遊ゲート電極 (8) を



包み込む形状であって、チャンネルの形成予定領域の上側では、浮遊ゲート電極（８）より幅が狭く、ドレイン側電界緩和層（１０）の上を覆わない形状にて制御ゲート電極（１３）を形成する。浮遊ゲート電極（８）をマスクとして利用したイオン注入により、自己整合的にソース領域（１６、１８）を形成する。

## 【 0 0 4 3 】

本発明により請求項１に記載のＥＥＰＲＯＭを製造することができる。

## 【 0 0 4 4 】

本発明は、メモリトランジスタにおいて、チャンネルの形成予定領域と埋め込み層との間の領域とを覆わない形状にて浮遊ゲート電極を形成し、この浮遊ゲート電極をマスクとして利用したイオン注入により、自己整合的に第２導電型のドレイン側電界緩和層を形成している。また、ソース領域も自己整合的に形成していることから、電界緩和層およびソース領域により規定されるチャンネル長のばらつきを低減させることができる。これにより、メモリトランジスタの特性ばらつきを低減することができる。

## 【 0 0 4 5 】

また、メモリトランジスタでは、ドレイン領域の形成予定領域にて電界緩和層を自己整合的に形成するために、ドレイン領域の形成予定領域を覆わない形状にて浮遊ゲート電極を形成している。制御ゲート電極においても、ドレイン側電界緩和層を覆わない形状にて形成している。したがって、このドレイン領域が全て浮遊ゲート電極および制御ゲート電極にて覆われているＥＥＰＲＯＭと比較して、浮遊ゲート電極とドレイン領域間の寄生容量を低減することができる。

## 【 0 0 4 6 】

また、本発明では、ゲート酸化膜のうち、埋め込み層上の一部をエッチングして、埋め込み層上の一部にトンネル膜を形成し、このトンネル膜を覆うように浮遊ゲート電極を形成している。これにより、浮遊ゲート電極を形成するための第１層ポリシリコンを加工したとき、トンネル膜がエッチングダメージを受けるのを防ぐことができる。これにより、トンネル膜が浮遊ゲート電極に全て覆われていないＥＥＰＲＯＭを形成したときと比較して、トンネル膜質の劣化を低減させ、書き換え寿命を向上させることができる。

【 0 0 4 7 】

また、本発明では、トンネル膜の上側では制御ゲート電極の幅を浮遊ゲート電極よりも広くし、浮遊ゲート電極を包み込むように制御ゲート電極を形成している。一方、チャネル領域上では、制御ゲート電極の幅を浮遊ゲート電極よりも狭くし、制御ゲート電極の端面が浮遊ゲート電極の端面よりも後退するように制御ゲート電極を形成している。

【 0 0 4 8 】

このように、浮遊ゲート電極、層間絶縁膜、制御ゲート電極とを同時に形成したときに生じていた電荷抜けの要因であるエッチング端面が生じないように、上述した形状にて浮遊ゲート電極と制御ゲート電極とを別々に加工している。また、制御ゲート電極の形成の後においても、層間絶縁膜（11）が浮遊ゲート電極（8）の上面および側面の全体を覆っている状態となるようにしている。

【 0 0 4 9 】

これにより、浮遊ゲート電極の表面上にて、層間絶縁膜にエッチング端面が存在しないようにすることができる。これにより、層間絶縁膜の端面がエッチングダメージを受けていることによる電荷保持特性の劣化を抑制することができる。

【 0 0 5 0 】

請求項9に記載の発明は、少なくとも、メモリトランジスタのソース領域を形成する工程または、選択トランジスタの形成予定領域にて埋め込み層（3）に隣接してソース領域を形成する工程のどちらか一方では、浮遊ゲート電極（8）若しくはゲート電極（7）をマスクとして利用したイオン注入を行うことで、自己整合的に第2導電型のソース側電界緩和層（17、18、20）を形成することを特徴としている。

【 0 0 5 1 】

本発明により、請求項2に記載のEEPROMを製造することができる。

【 0 0 5 2 】

このように、メモリトランジスタのソース領域に、ソース側電界緩和層を自己整合的に形成することができる。これにより、請求項8に記載の発明の効果に加え、次の効果を有する。

## 【 0 0 5 3 】

浮遊ゲート電極をマスクとして利用したイオン注入により、通常の不純物濃度であるソース層を形成するときでは、ソース層を形成する際の高濃度のN型イオンが浮遊ゲート電極に注入される。このため、浮遊ゲート電極の抵抗が局部的に変化してしまう。また、ソース層形成のためのイオン注入のとき、ゲート酸化膜においても高濃度のN型イオンが注入される。このため、イオン注入時のダメージによりゲート酸化膜が劣化してしまう。

## 【 0 0 5 4 】

これに対して、本発明では、通常のソース層よりも不純物濃度が低いソース側電界緩和層を浮遊ゲート電極をマスクとしたイオン注入により形成している。このことから、高濃度のN型イオンが浮遊ゲート電極に注入されることを防ぎ、浮遊ゲート電極の局部的抵抗変化を抑制することができる。また、ゲート酸化膜のうちソース領域上の部分において、イオン注入のダメージによるゲート酸化膜の劣化を抑制することができる。

## 【 0 0 5 5 】

また、選択トランジスタのソース領域形成予定領域に、ソース側電界緩和層を自己整合的に形成することができる。これにより、メモリトランジスタにソース側電界緩和層を形成したときと同様に、ソース層を形成する際の高濃度のN型イオンがゲート電極に注入されることを防ぎ、ゲート電極の局部的抵抗変化を抑制することができる。また、ゲート酸化膜のうちソース領域上の部分において、イオン注入のダメージによるゲート酸化膜の劣化を抑制することができる。

## 【 0 0 5 6 】

なお、ソース側電界緩和層をメモリトランジスタのソース領域または選択トランジスタのソース領域のどちらか一方にのみ形成することも、両方に形成することもできる。

## 【 0 0 5 7 】

請求項10に示すように、メモリトランジスタのドレイン側電界緩和層（10）を形成する工程と、ソース側電界緩和層（17、18、20）を形成する工程とを同時に、かつ同一のイオン注入条件にて行うことができる。これにより、こ

これらの工程を別々に行うときと比較して、製造工程を減少させることができる。

【 0 0 5 8 】

請求項 1 1 に記載の発明では、ソース側電界緩和層（1 7、2 0）に対し、オフセットをなすようにソース側電界緩和層よりも高濃度である第 2 導電型のソース層（2 1、2 2）を形成することを特徴としている。

【 0 0 5 9 】

これにより、請求項 3 に記載の E E P R O M を製造することができる。

【 0 0 6 0 】

請求項 1 2 に記載の発明では、ゲート電極と浮遊ゲート電極（8）とを同時に形成することを特徴としている。

【 0 0 6 1 】

これにより、請求項 4 に記載の E E P R O M を製造でき、浮遊ゲート電極と、ゲート電極とを別々の工程にて形成するときと比較して、浮遊ゲート電極と制御ゲート電極との距離を高精度に設定することができる。

【 0 0 6 2 】

請求項 1 3 に記載の発明では、選択トランジスタのドレイン側電界緩和層（9）をメモリトランジスタのドレイン側電界緩和層（1 0）と同時にかつ同一のイオン注入条件にて、ゲート電極をマスクとして利用したイオン注入により自己整合的に形成することを特徴としている。

【 0 0 6 3 】

本発明により、請求項 5 に記載の E E P R O M を形成でき、これにより、選択トランジスタのドレイン側電界緩和層と、メモリトランジスタのドレイン側電界緩和層とを別々の工程にて形成するときと比較して、工程数を削減できる。

【 0 0 6 4 】

請求項 1 4 に記載の発明では、窒化膜を有する構成の絶縁膜を用い、メモリトランジスタおよび選択トランジスタの全域に層間絶縁膜（1 1）を形成し、層間絶縁膜（1 1）をメモリトランジスタおよび選択トランジスタの全域に残した状態にて、E E P R O M を形成することを特徴としている。

【 0 0 6 5 】

これにより、請求項 6 に記載の E E P R O M を製造でき、この層間絶縁膜を形成した後の製造工程中や、素子完成後に、層間絶縁膜に覆われている領域に対して、汚染物質が外部より侵入するのを抑制することができる。このことから、汚染物質による特性変動若しくは電荷保持特性の劣化が生じるのを抑制することができる。

【 0 0 6 6 】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【 0 0 6 7 】

【発明の実施の形態】

(第 1 実施形態)

本発明の第 1 実施形態における E E P R O M の平面図を図 1 に示すとともに、図 1 における A - A ' 方向断面図を図 2 に、図 1 における B - B ' 方向断面図を図 3 に、それぞれ示す。なお、図 1 中の斜線は各領域を示すために付したものである。

【 0 0 6 8 】

本実施形態における E E P R O M は、メモリトランジスタと、選択トランジスタとを有する構成となっている。

【 0 0 6 9 】

メモリトランジスタ領域には、図 2 に示すように、シリコンにより構成された P 型半導体基板 1 の表層に N 型埋め込み層 3 および N<sup>-</sup>型のドレイン側電界緩和層 1 0 と、N<sup>+</sup>型ソース引き出し層 1 6 が形成されている。半導体基板 1 の表面上のうち、埋め込み層 3 の上にはトンネル膜 6 が形成されており、その他の領域上にはゲート酸化膜 4 が形成されている。そして、トンネル膜 6 の上と、電界緩和層 1 0 と N<sup>+</sup>型ソース引き出し層 1 6 との間の領域上とに浮遊ゲート電極 8 が形成されている。浮遊ゲート電極 8 の下側で、電界緩和層 1 0 と N<sup>+</sup>型ソース引き出し層 1 6 との間の領域がチャネル領域 1 2 である。浮遊ゲート電極 8 の上には、層間絶縁膜 1 1 を介して制御ゲート電極 1 3 が形成されている。

【 0 0 7 0 】

より詳細に説明すると、埋め込み層 3 は、不純物濃度が例えば  $1 \times 10^{18} \text{ cm}^{-3}$  以上となっている。トンネル膜 6 は、図 2 に示すように、ゲート酸化膜 4 のうち、埋め込み層 3 の上の一部が除去され、ゲート酸化膜が除去された部分に配置されている。つまり、トンネル膜 6 は、埋め込み層 3 の図 1 における紙面左右方向での幅よりも狭くなっている。なお、図 1 では、領域 5 がこのトンネル膜 6 が形成されている領域であり、以下では、この領域をトンネル窓 5 と称す。

## 【 0 0 7 1 】

このトンネル窓 5 の開口面積は、不揮発メモリにおいて書き換え特性を決定する上で重要な構造要件であり、本実施形態では、図 3 に示すように、図 1 における紙面上下方向でのトンネル窓 5 の長さは、素子分離のための厚い酸化膜 2 により規定されている。このため、トンネル窓 5 の面積変動が少なく、書き換え特性のばらつきが低減できる構造となっている。

## 【 0 0 7 2 】

浮遊ゲート電極 8 は、ポリシリコンにて構成されている。図 1、2 に示すように、トンネル窓 5 の上側では、浮遊ゲート電極 8 はトンネル窓 5 より幅が広くトンネル窓 5 を全て覆っている。電界緩和層 10 の上側では、浮遊ゲート電極 8 は電界緩和層 10 に対向する領域が開口しており、浮遊ゲート電極 8 は電界緩和層 10 を覆っていない形状となっている。また、浮遊ゲート電極 8 のうち、チャネル領域 12 の上側での端面は、 $N^+$  型ソース引き出し層 16 および電界緩和層 10 を自己整合的に形成できる形状となっている。なお、浮遊ゲート電極 8 は図 1 では斜線にて示す領域であり、この領域のうち点線で示す領域は、制御ゲート電極 13 の下側に位置している領域を示している。

## 【 0 0 7 3 】

$N^-$  型のドレイン側電界緩和層 10 は、不純物濃度が例えば  $1.0 \times 10^{18} \text{ cm}^{-3}$  以下であり、ドレイン領域の耐圧を確保するために埋め込み層 3 に隣接して形成されている。本実施形態では、この電界緩和層 10 と埋め込み層 3 とがドレイン領域を構成している。

## 【 0 0 7 4 】

また、 $N^+$  型ソース引き出し層 16 は、不純物濃度が例えば  $5.0 \times 10^{19} \text{ cm}^{-3}$

$m^{-3}$ 以上であり、図 1 中にて上下方向に延びている引き出し層 1 6 a と、この引き出し層 1 6 a と浮遊ゲート電極 8 との間に位置する  $N^+$  型層 1 6 b とを有する構成となっている。電界緩和層 1 0 と  $N^+$  型層 1 6 b は、浮遊ゲート電極 8 をマスクとしたイオン注入により、半導体基板 1 の表層のうち、浮遊ゲート電極 8 の両側の領域に自己整合的に形成されたものである。

【 0 0 7 5 】

層間絶縁膜 1 1 は、例えば ONO (Oxide Nitride Oxide) 膜により構成されており、図 2 に示すように、トンネル膜 6 およびチャネル領域 1 2 の上の浮遊ゲート電極 8 の上面と側面を含む半導体基板 1 の表面上全体に配置されている。

【 0 0 7 6 】

制御ゲート電極 1 3 は、ポリシリコンにより構成されている。図 1、2 に示すように、制御ゲート電極 1 3 はトンネル窓 5 の上側では、少なくとも浮遊ゲート電極 8 より幅が広く、浮遊ゲート電極 8 を包み込む形状となっている。なお、この包み込む形状とは、制御ゲート電極 1 3 が浮遊ゲート電極 8 の側面も覆っている形状である。

【 0 0 7 7 】

また、制御ゲート電極 1 3 はチャネル領域 1 2 の上側では、図 1 における紙面上下方向では、浮遊ゲート電極 8 より幅が狭く、言い換えると、浮遊ゲート電極 8 の端部よりも制御ゲート電極 1 3 の端部が後退している形状である。また、制御ゲート電極 1 3 は電界緩和層 1 0 および  $N^+$  型ソース引き出し層 1 6 を覆っていない形状となっている。

【 0 0 7 8 】

一方、選択トランジスタは、図 2 に示すように、半導体基板 1 の上にゲート酸化膜 4 を介して、ポリシリコンにより構成されたゲート電極 7 が形成されている。半導体基板 1 の表層のうち、ゲート電極 7 の両側に位置する領域には、それぞれ  $N^+$  型ソース層 1 5 と、 $N^-$  型ドレイン側電界緩和層 9 および  $N^-/N^+$  型二重拡散ドレイン層 1 4 とが形成されている。

【 0 0 7 9 】

$N^+$  型ソース層 1 5 は、埋め込み層 3 と隣接しており、これによりメモリトラ

ンジスタと選択トランジスタとが接続されている。 $N^-/N^+$ 型二重拡散ドレイン層 1 4 は、 $N^-$ 型ドレイン側電界緩和層 9 を構成する導電型不純物と、 $N^+$ 型ソース層 1 5 を構成する導電型不純物の両方により形成された層である。

【0080】

そして、メモリトランジスタの層間絶縁膜 1 1 が、選択トランジスタまで延長して、ゲート電極 7 の表面上を含む選択トランジスタの全領域上にも形成されている。

【0081】

次に、本実施形態における E E P R O M の製造方法を説明する。図 4 ～ 8 に製造工程を示す。なお、図 4 ( a ) ～ ( d ) 、図 5 ( a ) ～ ( c ) 、図 6 ( a ) ～ ( c ) は図 1 中の A - A ' 方向断面を示しており、図 7 ( a ) ～ ( c ) 、図 8 ( a ) ～ ( d ) は図 1 中の B - B ' 断面を示している。

【0082】

〔図 4 ( a ) および図 7 ( a ) に示す工程〕

P 型シリコン基板 1 の表面上に、例えば、L O C O S 法により、素子分離層となる領域のみに厚い酸化膜 2 を形成する。その後、半導体基板 1 の表面上に犠牲酸化膜 5 1 を形成する。この犠牲酸化膜 5 1 を通して少なくともリンイオン若しくは砒素イオンを局部的に注入し、熱処理を行う。これにより、 $N^+$ 型埋め込み層 3 を形成する。

【0083】

〔図 4 ( b ) および図 7 ( b ) に示す工程〕

犠牲酸化膜 5 1 を除去し、メモリトランジスタおよび選択トランジスタのゲート酸化膜 4 となる酸化膜 5 2 を形成する。

【0084】

〔図 4 ( c ) および図 7 ( c ) に示す工程〕

メモリトランジスタの形成予定領域において、ゲート酸化膜 5 2 のうち、 $N^+$ 型埋め込み層 3 の上の一部を、例えばダメージの少ない湿式処理により除去する。これにより、図 1 における紙面上下方向では、埋め込み層 3 よりも幅が狭いトンネル窓 5 を形成する。このとき、トンネル窓 5 の形状において、図 1 中の A -



A' 線方向の幅はオーバーエッチング等により変動するものの、B-B' 線方向の幅は、図 7 (c) に示すように、厚い酸化膜 2 のエッジにより規定される。このため、トンネル窓 5 の形状ばらつきを低減させることができる。なお、この工程にて、酸化膜 5 2 は図 2 中のゲート酸化膜 4 と同じ形状となる。

【0085】

〔図 4 (d) および図 7 (d) に示す工程〕

トンネル窓 5 にて、半導体基板 1 の表面上に例えばウエット酸化により膜厚 9 nm の薄い酸化膜を形成した後、窒化、再酸化処理を行う。これにより、トンネル窓 5 にトンネル膜 6 を形成する。次に、トンネル膜 6 の上を含む酸化膜 4 の上に、例えば、リンの濃度を  $1.0 \times 10^{20} \text{ cm}^{-3}$  とし、膜厚を 200 nm とした第 1 層ポリシリコン膜 5 3 を成膜する。

【0086】

〔図 5 (a) および図 8 (a) に示す工程〕

第 1 層ポリシリコン膜 5 3 に対してホトリソグラフィ工程を行う。具体的には、第 1 層ポリシリコン膜 5 3 の上にホトレジストを形成し、ホトレジストをパターンニングする。パターンニングされたホトレジストをマスクとして、第 1 層ポリシリコン膜 5 3 を例えばドライエッチングする。

【0087】

本実施形態では、このとき、トンネル窓 5 の上側ではトンネル窓 5 の幅より広い形状となるように、また、後に形成するメモリトランジスタのドレイン側  $N^-$  型電界緩和層 10 (図 2 参照) の上が開口された形状となるように第 1 層ポリシリコン膜 5 3 をエッチングする。言い換えると、トンネル窓 5 を全て覆い、かつ、電界緩和層 10 を形成するためのイオン注入を行う予定領域を覆わない形状となるように、第 1 層ポリシリコン膜 5 3 をパターンニングする。なお、電界緩和層 10 を形成するためのイオン注入を行う予定の領域とは、チャネルの形成予定領域と埋め込み層 3 との間の領域である。このようにして、チャネル形成予定領域上とトンネル膜 6 の上に浮遊ゲート電極 8 を形成する。

【0088】

また、第 1 層ポリシリコン膜 5 3 をエッチングすることで、浮遊ゲート電極 8

を形成すると同時に、選択トランジスタのゲート電極 7 も形成する。

【0089】

ゲート電極 7 と浮遊ゲート電極 8 とを別々の工程で、それぞれポリシリコン膜をエッチングして形成する場合は、仮にマスクの位置ずれが発生したとき、ゲート電極 7 と浮遊ゲート電極 8 との距離にばらつきが生じてしまう。これに対して、本実施形態では、ゲート電極 7 と浮遊ゲート電極 8 とを同時に形成するので、マスクの位置ずれが発生しても、メモリトランジスタの浮遊ゲート電極 8 と選択トランジスタのゲート電極 7 との距離を高精度に保つことができる。このため、高集積を可能な不揮発メモリ構造を得ることができる。

【0090】

なお、この工程では浮遊ゲート電極 8 とゲート電極 7 の端面形状が、後の工程にて、浮遊ゲート電極 8 およびゲート電極 7 をマスクとしたイオン注入により、自己整合的に不純物拡散層を形成できるような形状となるように、第 1 層ポリシリコン膜 5 3 をエッチングする。

【0091】

第 1 層ポリシリコン膜 5 3 をエッチングした後、ホトレジストを除去する。

【0092】

〔図 5 (b) に示す工程〕

図示しないが、メモリトランジスタのソース形成予定領域と選択トランジスタのソース形成予定領域とをマスクにて覆い、ゲート電極 7 および浮遊ゲート電極 8 をマスクとして利用し、例えば磷 (P) イオンの注入を行う。その後、熱処理を行う。これにより、自己整合的に選択トランジスタの  $N^-$  型ドレイン側電界緩和層 9 およびメモリトランジスタの  $N^-$  型ドレイン側電界緩和層 1 0 を形成する。

【0093】

これにより、選択トランジスタおよびメモリトランジスタのチャネル長のドレイン側のばらつきを低減させることができる。また、 $N^-$  型電界緩和層 9 および  $N^-$  型電界緩和層 1 0 を同時に同一のイオン注入条件にて形成していることから、これらを別々の工程に形成するときと比較して、製造工程を簡略化することが

できる。

【0094】

なお、この工程では、イオン注入や熱処理により、導電型不純物が拡散するため、図5（b）に示すように、電界緩和層10と浮遊ゲート電極8とがわずかにオーバーラップする。

【0095】

また、この工程後における図1中のB-B'断面は、図8（a）に示す状態と同じである。

【0096】

〔図5（c）および図8（b）に示す工程〕

選択トランジスタおよびメモリトランジスタの全域上に、例えば全層CVD（Chemical Vapor Deposition）法にて、酸化膜換算膜厚が20nmであるONO膜により構成された層間絶縁膜11を形成する。

【0097】

〔図6（a）および図8（c）に示す工程〕

層間絶縁膜11の上に第2層ポリシリコン膜54を形成する。

【0098】

〔図6（b）および図8（d）に示す工程〕

第2層ポリシリコン膜54のホトリソグラフィ工程を行う。具体的には、第2層ポリシリコン膜54の上にホトレジストを形成し、ホトレジストをパターニングする。パターニングされたホトレジストをマスクとして、第2層ポリシリコン膜54を例えばドライエッチングする。

【0099】

このとき、本実施形態では、トンネル膜6の上側では層間絶縁膜11を介して浮遊ゲート電極8より幅が広くかつ、浮遊ゲート電極8を包み込む形状となるように第2層ポリシリコン膜54をエッチングする。また、メモリトランジスタのチャネルの形成予定領域上では、浮遊ゲート電極8より幅が狭い形状にて、また、メモリトランジスタのドレイン側N<sup>-</sup>型電界緩和層10の上では、この電界緩和層10を覆わない形状となるように第2層ポリシリコン膜54をエッチングす

る。このようにして、第2層ポリシリコンにより構成された制御ゲート電極13を形成する。

#### 【0100】

なお、第2層ポリシリコン膜54をエッチングするときでは、第2層ポリシリコン膜54と、層間絶縁膜11を構成するONO膜の上層酸化膜との選択性を有するようにエッチングする。このようにONO膜中の上層酸化膜に対して、選択性のあるエッチング方法にて、第2層ポリシリコン膜54を加工することから、下層酸化膜、窒化膜、上層酸化膜により構成されたONO膜により全領域が覆われた構造となる。

#### 【0101】

本実施形態では、この窒化膜を含むONO膜により全域被覆された状態のまま、後の製造工程を行う。これにより、後の工程や、素子完成後にてアルカリイオン等の外部から進入する可動イオンによる素子特性の変動に加え、電荷保持寿命の劣化を抑止することができる。

#### 【0102】

なお、図20に示されるように、ゲート電極44の上に第2層ポリシリコン膜46が形成されている場合では、ゲート電極44を外部電極と電氣的に接続するために、ゲート電極44、第2層ポリシリコン膜46を形成した後、第2層ポリシリコン膜46にホール等を形成する工程が別途必要である。

#### 【0103】

これに対して、本実施形態では、第2層ポリシリコン膜54のエッチングのとき、選択トランジスタの形成予定領域では、第2層ポリシリコン膜54を除去している。このように、選択トランジスタのゲート電極7を1層構造としていることから、ゲート電極44の上に第2層ポリシリコン膜46が形成されている場合と比較して、ゲート電極に対して、外部電極と電氣的に接続するための特別な工程が不要である。

#### 【0104】

〔図6(c)に示す工程〕

メモリトランジスタのソース形成予定領域および選択トランジスタのソース形

成予定領域に、それぞれゲート電極 7 および浮遊ゲート電極 8 をマスクとして利用し、例えば砒素 (As) イオンの注入を行う。これにより、自己整合的にメモリトランジスタの $N^+$ 型ソース引き出し層 1 6、選択トランジスタの $N^+$ 型ソース層 1 5 を形成する。このとき、同時に選択トランジスタの形成予定領域では、電界緩和層 9 の一部をマスクにて覆いながらイオン注入にする。これにより、 $N^-$ / $N^+$ 型二重拡散ドレイン層 1 4 を形成する。

## 【 0 1 0 5 】

この工程により、メモリトランジスタにおいて、半導体基板 1 の表層にチャネル領域 1 2 が形成される。メモリトランジスタのチャネル長は、自己整合的に形成された電界緩和層 1 0 および $N^+$ 型ソース引き出し層 1 6 により高精度に規定される。また、同様に、選択トランジスタにおいても、ゲート電極 7 の下側であって、 $N^+$ 型ソース層 1 5 とドレイン側電界緩和層 9 との間にチャネル領域が形成され、このチャネル長も高精度に規定される。このため、両トランジスタとも特性のばらつきを極めて低減することができる。これらの工程を経ることで、図 1 ～図 3 に示す E E P R O M を製造することができる。

## 【 0 1 0 6 】

本実施形態における E E P R O M では、例えば、制御ゲート電極 1 3 に高電圧を印加することにより発生するファウラー・ノルトハイムトンネル電流により、 $N^+$ 型埋め込み層 3 から電子を浮遊ゲート電極 8 に注入することで、メモリ情報の消去を行う。また、 $N^+$ 型埋め込み層 3 に高電圧を印加することにより発生するファウラー・ノルトハイムトンネル電流により、浮遊ゲート 8 から電子を $N^+$ 型埋め込み層 3 に引き抜くことでメモリに情報を書き込む。

## 【 0 1 0 7 】

本実施形態における E E P R O M の構造の特徴を以下にまとめる。

## 【 0 1 0 8 】

メモリトランジスタにおいて、ドレイン領域のうち、埋め込み層 3 と電界緩和層 1 0 の一部が浮遊ゲート電極 8 に覆われていない構造となっている。すなわち、電界緩和層 1 0 を形成できるように、浮遊ゲート電極 8 は開口部を有する形状となっている。そして、ドレイン側の $N^-$ 型電界緩和層 1 0 は、上述した形状の

浮遊ゲート電極 8 をマスクとして利用したイオン注入により、自己整合的に形成されている。このため、メモリトランジスタにおけるドレイン側  $N^-$  型電界緩和層 1 0 と  $N^+$  型ソース引き出し層 1 6 の端面で規定されるメモリトランジスタのチャンネル長のドレイン側のばらつきを低減することができる。

## 【 0 1 0 9 】

また、制御ゲート電極 1 3 は、チャンネル領域 1 2 の上側では、浮遊ゲート電極 1 3 より幅が狭い形状となっており、 $N^+$  型ソース引き出し層 1 6 を覆っていない。 $N^+$  型ソース引き出し層 1 6 は、電界緩和層 1 0、制御ゲート電極 1 3 を順に形成した後、浮遊ゲート電極 8 の浮遊ゲート電極 8 をマスクとして利用したイオン注入により形成される。このとき、浮遊ゲート電極 8 は、ONO 膜による層間絶縁層 1 1 により被覆されているため、層間絶縁膜 1 1 を形成した後の酸化工程において、その形状が変化することない。

## 【 0 1 1 0 】

このことから、 $N^+$  型ソース引き出し層 1 6 は、浮遊ゲート電極 8 の形状変動の少ない端面を利用して自己整合的に形成される。このため、チャンネル長のソース側のばらつきは少ない。

## 【 0 1 1 1 】

以上のことから、本実施形態によれば、図 1 9 に示すようなドレイン領域全体がフローティングゲートに覆われている構造の EEPROM と比較して、メモリトランジスタのチャンネル長のばらつきを低減することができ、トランジスタ特性のばらつきを低減できる。

## 【 0 1 1 2 】

また、電界緩和層 1 0 は浮遊ゲート電極 8 と制御ゲート電極 1 3 に覆われていないことから、図 1 9 に示すようなドレイン領域全体が浮遊ゲート電極および制御ゲート電極に覆われている構造のものと比較して、ゲート酸化膜 4 のうち、ドレイン領域と浮遊ゲート電極 8 に挟まれている領域が少ない。つまり、ドレイン領域と浮遊ゲート電極 8 とがオーバーラップしている領域が少ない。したがって、ドレイン領域全体が浮遊ゲート電極および制御ゲート電極に覆われている構造のものよりも、浮遊ゲート電極とドレイン領域間の寄生容量を低減させることが

できる。この結果、書き換え時間を短くすることができる。

【0113】

なお、本明細書でいう電界緩和層10が浮遊ゲート電極8に覆われていない状態とは、電界緩和層10が完全に覆われていない状態に限らない。電界緩和層10を自己整合的に形成することで、電界緩和層10と浮遊ゲート電極8とがチャネル領域12近辺にて、わずかにオーバーラップしている状態も含む。

【0114】

また、図19に示すようなドレイン領域全体が浮遊ゲート電極および制御ゲート電極に覆われている構造のEEPROMでは、メモリ書き込み時にドレイン領域に印加される高電圧により、ドレイン領域上のゲート酸化膜4が劣化してしまう。これに対して、本実施形態では、ゲート酸化膜4がドレイン領域と浮遊ゲート電極8に挟まれている領域が少ないことから、メモリ書き込み時にドレイン領域に印加される高電圧によるゲート酸化膜4の劣化を抑止することができる。

【0115】

また、本実施形態では、浮遊ゲート電極8はトンネル膜6より幅広い形状となっている。したがって、浮遊ゲート電極8を形成するための1層目ポリシリコン膜53のエッチングのとき、トンネル膜6が露出することではなく、ポリシリコン膜53に覆われた状態のまま1層目ポリシリコン膜53がエッチングされる。これにより、トンネル膜6がエッチングダメージを受けるのを防ぐことができる。このことから、トンネル膜質の劣化を低減させ、書き換え寿命を向上させることができる。

【0116】

制御ゲート電極13は、トンネル窓5の上側にて、浮遊ゲート電極8より幅が広くかつ、浮遊ゲート電極8を包み込む形状となっている。また、制御ゲート電極13はメモリトランジスタのチャネル領域12の上側では浮遊ゲート電極8より幅が狭い形状となっている。

【0117】

本実施形態のEEPROMでは、このように浮遊ゲート電極8の端面と制御ゲート電極13の端面は異なる位置に存在している。すなわち、浮遊ゲート電極8

と制御ゲート電極 1 3 とを形成するためのポリシリコン膜の加工を別々に行っている。また、層間絶縁膜 1 1 が浮遊ゲート電極 8 の上面および側面を覆っている状態にて、制御ゲート電極 1 3 を形成するためのポリシリコン膜の加工を行っている。完成後の E E P R O M では、層間絶縁膜 1 1 は浮遊ゲート電極 8 の上面および側面を覆っている。

## 【 0 1 1 8 】

このため、従来技術にて浮遊ゲート電極 8 と制御ゲート電極 1 3 とを同時に加工するときに発生する、電荷抜けの一因となっていた層間絶縁層のエッチング端面が存在しない。このことから、本実施形態によれば、良好な電荷保持特性を得ることができる。

## 【 0 1 1 9 】

なお、本実施形態では、層間絶縁膜 1 1 がメモリトランジスタおよび選択トランジスタの全領域を覆っている場合を説明したが、エッチング端面が発生していない形状であれば、必ずしも全領域を覆っていなくても良い。すなわち、層間絶縁膜 1 1 は少なくとも浮遊ゲート電極 8 の上面および側面を全て覆っていればよい。これによっても、浮遊ゲート電極の上に層間絶縁膜のエッチング端面を有する構造の E E P R O M と比較して、良好な電荷保持特性を得ることができる。

## 【 0 1 2 0 】

ここで、制御ゲート電極 1 3 の形状を、トンネル窓 5 の上側と、チャネル領域 1 2 の上側とにおいて異なる形状としている理由を説明する。チャネル領域 1 2 の上側において、制御ゲート電極 1 3 をトンネル窓 5 の上側と同様に、浮遊ゲート電極 8 を包み込むような形状とした場合、電界緩和層 1 0 の上に層間絶縁膜 1 1 を介して制御ゲート電極 1 3 が存在する。この場合、電界緩和層 1 0 と制御ゲート電極 1 3 との距離が近いことから、メモリ消去時に制御ゲート電極 1 3 に印加される高電圧の影響を N<sup>-</sup>型電界緩和層 1 0 が受けてしまうため好ましくない。

## 【 0 1 2 1 】

そこで、本実施形態では、チャネル領域 1 2 の上側では、制御ゲート電極 1 3 を、制御ゲート電極 1 3 の端部が浮遊ゲート電極 8 の端部よりも後退している形



状としている。これにより、メモリ消去時に制御ゲート電極 1 3 に印加される高電圧の影響がN<sup>-</sup>型電界緩和層 1 0 に及ぶのを抑制することができる。

【 0 1 2 2 】

また、トンネル窓 5 の上側においては、浮遊ゲート電極 8 の上面は、窪みが生じており、平坦ではない。このため、チャネル領域 1 2 の上側のように浮遊ゲート電極 8 よりも幅が狭く、浮遊ゲート電極 8 の端部よりも制御ゲート電極 1 3 の端部が後退している形状にて制御ゲート電極 1 3 を形成するのは好ましくない。

【 0 1 2 3 】

そこで、本実施形態では、トンネル窓 5 の上側では、制御ゲート電極 1 3 を、浮遊ゲート電極 8 よりも幅が広く、浮遊ゲート電極 8 を包み込むような形状としている。

【 0 1 2 4 】

また、本実施形態では、選択トランジスタのドレイン側電界緩和層 9 と、メモリトランジスタのドレイン側電界緩和層 1 0 とが同時にかつ、同一のイオン注入条件にて形成されている。

【 0 1 2 5 】

選択トランジスタのゲート電極がオン状態のとき、メモリトランジスタのドレイン領域に形成された電界緩和層により耐圧が決まる。一方、ゲート電極がオフ状態では、選択トランジスタのドレイン領域に形成された電界緩和層により、耐圧が決まる。

【 0 1 2 6 】

したがって、本実施形態では、選択トランジスタのドレイン領域に形成された電界緩和層と、メモリトランジスタのドレイン領域に形成された電界緩和層とが同一のイオン成分およびイオン濃度であることから、E E P R O M の耐圧を一定にすることができる。

【 0 1 2 7 】

(第 2 実施形態)

本実施形態の E E P R O M における平面図を図 9 に示すとともに、図 9 における A - A ' 方向断面図を図 1 0 に示す。なお、第 1 実施形態と同じ構造部につい

ては、同一の符号を付しているので、同じ構造部については説明を省略する。

#### 【 0 1 2 8 】

本実施形態は図 9、図 10 に示すように、メモリトランジスタのソース領域にソース側  $N^-$  型引き出し部 18 が形成されており、ソース側  $N^-$  型引き出し部 18 に接続している  $N^+$  型ソース引き出し層 16 が形成されている。また、選択トランジスタのソース領域では、第 1 実施形態での  $N^+$  型ソース層 15 に代わって  $N^-$  型層 17 が形成されている。

#### 【 0 1 2 9 】

これらのソース側  $N^-$  型引き出し部 18 および  $N^-$  型層 17 は、 $N^+$  型ソース引き出し層 16 および  $N^+$  型ソース層 15 よりも不純物濃度が低く、濃度は例えば  $1.0 \times 10^{18} \text{ cm}^{-3}$  以下である。なお、ソース側  $N^-$  型引き出し部 18 および  $N^-$  型層 17 は、本実施形態では電界緩和層として機能する。

#### 【 0 1 3 0 】

次に、本実施形態における EEPROM の製造方法を説明する。図 11 (a)、(b)、図 12 (a) ~ (c) に製造工程を示す。なお、これらの図は図 9 中の A-A' 方向断面を示している。ここでは、第 1 実施形態と異なる点について説明する。

#### 【 0 1 3 1 】

まず、第 1 実施形態と同様に、図 4 (a) ~ 図 5 (a) に示す工程を行い、半導体基板 1 の上にメモリトランジスタの浮遊ゲート電極 8 と、選択トランジスタのゲート電極 7 とを形成する。その後、図 11 (a) に示す工程を行う。

#### 【 0 1 3 2 】

〔図 11 (a) に示す工程〕

この工程では、ゲート電極 7 および浮遊ゲート電極 8 をマスクとして利用したイオン注入を行う。これにより、自己整合的に選択トランジスタのドレイン側  $N^-$  型電界緩和層 9 およびソース側  $N^-$  型層 17 と、メモリトランジスタのドレイン側  $N^-$  型電界緩和層 10 およびソース側  $N^-$  型層 18 とを形成する。このことにより、選択トランジスタおよびメモリトランジスタのチャネル長は高精度に規定されるため、両トランジスタとも特性のばらつきを極めて低減することができる。

## 【 0 1 3 3 】

また、選択トランジスタのドレイン側 $N^-$ 型電界緩和層 9、ソース側 $N^-$ 型層 17、18、およびメモリトランジスタのドレイン側 $N^-$ 型電界緩和層 10を同時に形成している。このことから、選択トランジスタのドレイン側 $N^-$ 型電界緩和層 9や、ソース側 $N^-$ 型層 17、18をメモリトランジスタのドレイン側 $N^-$ 型電界緩和層 10と別の工程にて形成する場合と比較して、製造工程を削減することができる。

## 【 0 1 3 4 】

〔図 1 1 (b)、図 1 2 (a)、(b) に示す工程〕

これらの工程では、それぞれ、図 5 (c)、図 6 (a)、(b) に示す工程と同様に、層間絶縁膜 11、制御ゲート電極 13を形成する。

## 【 0 1 3 5 】

〔図 1 2 (c) に示す工程〕

メモリトランジスタの浮遊ゲート電極 8、制御ゲート電極 13、 $N^-$ 型層 18および電界緩和層 10と、選択トランジスタの $N^-$ 型層 17および電界緩和層 9の一部をマスクにて覆いながらイオン注入を行う。これにより、メモリトランジスタのソース領域にて、浮遊ゲート電極 8の端部から離れた位置に $N^+$ 型ソース引き出し層 16を形成し、選択トランジスタのドレイン領域にて、ゲート電極 7の端部から離れた位置に $N^-/N^+$ 型二重拡散ドレイン層 14を形成する。これらの工程を経ることで、図 9、図 10に示すEEPROMを製造することができる。

## 【 0 1 3 6 】

本実施形態におけるEEPROMの構造の特徴をまとめると、まず、メモリトランジスタのドレイン側 $N^-$ 型電界緩和層 10と同時に浮遊ゲート電極 8およびゲート電極 7の端面を利用して自己整合的にソース側 $N^-$ 型層引き出し部 18および選択トランジスタ側の $N^-$ 型層 17が形成された構造となっている。

## 【 0 1 3 7 】

このことから、メモリトランジスタのチャネル長は、自己整合的に形成されたドレイン側 $N^-$ 型電界緩和層 10とソース側 $N^-$ 型層引き出し部 18により規定さ

れるため、ばらつきは極めて少ないものとなる。

【0138】

加えて、メモリトランジスタにおいてドレイン、ソース領域ともに低濃度の電界緩和層10、18を持つ構造となるため、ゲート酸化膜4にかかる電界を低くし、ゲート酸化膜厚を薄くできる。このゲート酸化膜4の薄膜化によりメモリトランジスタの駆動能力を向上させることができる。

【0139】

また、第1実施形態での図2に示すように、メモリトランジスタのソース領域が高濃度である $N^+$ 型ソース引き出し層16a、 $N^+$ 型層16bから構成された場合には、 $N^+$ 型ソース引き出し層16a、 $N^+$ 型層16bを形成する際において、高濃度のN型イオンが浮遊ゲート電極8に注入され、浮遊ゲート電極8の抵抗が局部的に変化してしまう恐れがある。また、高濃度のN型イオンの注入により、ソース領域上のゲート酸化膜4が劣化してしまう恐れもある。

【0140】

これに対して、本実施形態では、 $N^+$ 型ソース引き出し層16a、 $N^+$ 型層16bよりも低濃度である $N^-$ 型層引き出し部18が浮遊ゲート電極8の端部近傍に形成されており、浮遊ゲート電極8の端部から離れた位置に $N^+$ 型ソース引き出し層16が形成されている。この $N^+$ 型ソース引き出し層16は、 $N^-$ 型層引き出し部18が形成された後、浮遊ゲート電極8の上や $N^-$ 型層引き出し部18を覆うようにマスクを形成し、このマスクを用いてイオン注入を行うことで形成されている。

【0141】

したがって、 $N^+$ 型ソース引き出し層16を形成する際、高濃度のN型イオンが浮遊ゲート電極8に注入されることを防ぎ、浮遊ゲート電極8の局部的抵抗変化を抑制することができる。また、ソース領域のうち、浮遊ゲート電極8のソース側端部近傍には、高濃度のN型イオンを注入しないことから、浮遊ゲート電極8のソース側端部近傍におけるゲート酸化膜4が、高濃度のN型イオン注入時にダメージを受けるのを抑制することができる。これにより、ゲート酸化膜の劣化を抑制することができる。

## 【 0 1 4 2 】

同様に選択トランジスタのソース領域においても、第 1 実施形態のように、 $N^+$ 型ソース層 1 5 で構成される場合では、この $N^+$ 型ソース層 1 5 の形成のための高濃度の N 型イオンの注入が原因で、ゲート電極 7 の抵抗が局所的に変化したり、ゲート酸化膜が劣化してしまう恐れがある。

## 【 0 1 4 3 】

これに対しても、本実施形態では、選択トランジスタのソース領域に $N^-$ 型層 1 7 を形成していることから、高濃度の N 型イオンの注入によるゲート電極 7 の局部的抵抗の変化を抑制することができる。また、ソース領域上のゲート酸化膜 4 の劣化を抑制することもできる。

## 【 0 1 4 4 】

なお、本実施形態では、メモリトランジスタの $N^-$ 型引き出し部 1 8 および選択トランジスタの $N^-$ 型層 1 7 が両方形成されている場合を説明したが、第 1 実施形態に対して、 $N^-$ 型引き出し部 1 8 と $N^-$ 型層 1 7 のどちらか一方のみを形成することもできる。

## 【 0 1 4 5 】

## (第 3 実施形態)

本実施形態における E E P R O M の平面図を図 1 3 に示すとともに、図 1 3 における A - A' 方向断面図を図 1 4 に示す。本実施形態においても、第 1、2 実施形態と同じ構造部には同一の符号を付しているので、第 1、2 実施形態と同じ構造部の説明は省略する。

## 【 0 1 4 6 】

本実施形態における E E P R O M が第 2 実施形態に対して主に異なっているのは、メモリトランジスタのソース領域がオフセット構造となるように、 $N^-/N^+$  2 重拡散ソース層 2 2 が形成されている点と、選択トランジスタのソース領域がオフセット構造となるように、 $N^-/N^+$  2 重拡散ソース層 2 1 が形成されている点である。

## 【 0 1 4 7 】

具体的には、図 1 3、1 4 に示すように、半導体基板 1 の表層のうち、メモリ

トランジスタのソース領域にて、 $N^-$ 型層 2 0 と、 $N^-/N^+$  2 重拡散ソース層 2 2 とが形成されている。

【0148】

$N^-$ 型層 2 0 は、第 2 実施形態の図 1 0 中の  $N^-$ 型引き出し部 1 8 と同様に、浮遊ゲート電極 8 をマスクとしたイオン注入により自己整合的に形成されたものである。

【0149】

$N^-/N^+$  2 重拡散ソース層 2 2 は、浮遊ゲート電極 8 の端より離れた位置に配置されている。また、図 1 3 に示すように、 $N^-/N^+$  2 重拡散ソース層 2 2 に、上下方向に延びている  $N^-$ 型ソース引き出し層 1 6 が接続している。 $N^-/N^+$  2 重拡散ソース層 2 2 は、図 1 3 中の左右方向にて、 $N^-$ 型ソース引き出し層 1 6 と浮遊ゲート電極 8 との間に配置されている部分 2 2 a を有している。

【0150】

また、半導体基板 1 の表層のうち、選択トランジスタの領域では、 $N^-$ 型層 1 7 と  $N^-/N^+$  2 重拡散ソース層 2 1 とが形成されている。 $N^-/N^+$  2 重拡散ソース層 2 1 は、図 1 0 中にて  $N^-$ 型層 1 7 が形成されている領域のうち、ゲート電極 7 のソース側端部より離れ、かつ、埋め込み層 3 と隣接して配置されている。

【0151】

次に本実施形態の EEPROM の製造方法を説明する。図 1 5 (a)、(b)、図 1 6 (a)、(b)、(c) に製造工程を示す。なお、図 1 5 (a)、(b)、図 1 6 (a)、(b)、(c) に示す工程は、それぞれ、第 2 実施形態における図 1 1 (a)、(b)、図 1 2 (a)、(b)、(c) に示す工程に対応している。

【0152】

図 1 5 (a) に示す工程にて、図 1 1 (a) 中の  $N^-$ 型引き出し部 1 8 と異なり、 $N^-$ 型層 2 0 を  $N^+$ 型ソース引き出し層 1 6 の形成予定領域まで配置した形状にて形成する。その後、図 1 5 (b)、(c)、図 1 6 (a)、(b) に示す工程を第 2 実施形態と同様に行う。

【0153】

図 1 6 (c) に示す工程では、メモリトランジスタのソース形成予定領域において、浮遊ゲート電極 8 と  $N^-$  型層 2 0 の一部とをマスクにて覆いながら、また、選択トランジスタのソース形成予定領域においても、ゲート電極 7 と  $N^-$  型層 1 7 の一部とをマスクにて覆いながら例えば As (ヒ素) イオンを高濃度にイオン注入する。このとき、自己整合的に形成されたメモリトランジスタの  $N^-$  型層および選択トランジスタの  $N^-$  型層 1 7 それぞれに対し、浮遊ゲート電極 8 およびゲート電極 7 の端面から離れた領域にイオン注入する。ただし、この離れた領域のゲート電極 7 側の端は、第 2 実施形態における  $N^+$  型ソース引き出し層 1 6 とゲート電極 7 との間に位置するようにする。

【 0 1 5 4 】

このようにして、選択トランジスタの  $N^-/N^+$  2 重拡散ソース層 2 1、メモリトランジスタの  $N^-/N^+$  2 重拡散ソース層 2 2 を形成する。なお、この 2 重拡散ソース層とは、上述したように電界緩和層を形成するために注入された P (リン) イオンが存在する領域に、さらに As (ヒ素) イオンが注入されている領域である。これにより、オフセット構造のソース領域を形成する。

【 0 1 5 5 】

また、この工程では、高濃度のイオン注入により、選択トランジスタの  $N^-/N^+$  型二重拡散ドレイン層 1 4 や  $N^+$  型ソース引き出し層 1 6 も同時に形成する。このようにして、図 1 3、1 4 に示される EEPROM が製造される。

【 0 1 5 6 】

本実施形態では、メモリトランジスタのソース領域は、 $N^-$  型層 2 0 と  $N^-/N^+$  2 重拡散ソース層 2 2 により構成され、選択トランジスタのソース領域においても、 $N^-$  型層 1 7 と  $N^-/N^+$  2 重拡散ソース層 2 1 により構成された構造である。 $N^-$  型層 1 7、2 0 が形成されていることから、第 2 実施形態にて説明したように、メモリトランジスタの浮遊ゲート電極 8 および選択トランジスタのゲート電極 7 に高濃度のイオンが注入されることがないため、浮遊ゲート電極 8 およびゲート電極 7 の局部的抵抗変化を抑制するとともに、それぞれのトランジスタのゲート酸化膜 4 の膜質が確保され薄膜化が図れる。

【 0 1 5 7 】

また、選択トランジスタにより選択されたメモリトランジスタのビット情報を読みに行った際に、特に、書き込みビットを読みに行ったときでは、選択トランジスタのドレイン領域とメモリトランジスタのソース領域との間に電流が流れる。本実施形態によれば、図 1 3 に示すように、図 9 では  $N^-$  型引き出し部 1 8 および  $N^-$  型層 1 7 が形成されていた領域に、 $N^-/N^+$  2 重拡散ソース層 2 2 および  $N^-/N^+$  2 重拡散ソース層 2 1 が形成されている。したがって、第 2 実施形態のように、 $N^-/N^+$  2 重拡散ソース層 2 2 および  $N^-/N^+$  2 重拡散ソース層 2 1 が無い構造と比較して、書き込みビットを読みに行ったときに流れる電流の損失を低減できる。その結果、過剰な書き込みを行う必要が無いため、書き換え寿命の向上が図れる。

## 【 0 1 5 8 】

次に、EEPROM の特性上最も重要な書き換え寿命を決定するトンネル膜質の改善効果を以下に記載する。本実施形態におけるメモリ素子と、図 2 0 に示す断面構造となる従来のメモリ素子との定電流 T D D B 測定によるトンネル膜の膜質を比較した結果を、図 1 7、図 1 8 に示す。

## 【 0 1 5 9 】

なお、この結果は、本実施形態と従来の 2 種類のメモリ素子に対し、浮遊ゲート電極に配線を形成し、浮遊ゲート電極に電位を与えることができたようにしたメモリ構造 T E G (Test Element Group) を用いたときの結果である。また、定電流 T D D B 測定に用いた本実施形態の EEPROM は、 $N^+$  型埋め込み層 3 を、リンイオンと砒素イオンとをそれぞれ  $6 \times 10^{14} \text{ cm}^{-2}$ 、 $2 \times 10^{14} \text{ cm}^{-2}$  にて注入し、窒素雰囲気中で  $1000^\circ\text{C}$ 、60 分の熱処理により形成し、ゲート酸化膜 4 をウエット酸化により  $3.5 \text{ nm}$  の膜厚にて形成し、トンネル膜 6 の膜厚を  $9 \text{ nm}$  としたものである。

## 【 0 1 6 0 】

図 1 7 はメモリの消去（ゲート正バイアス）時でのトンネル膜の破壊総電荷量の比較結果であり、図 1 8 はメモリの書き込み（ゲート負バイアス）時でのトンネル膜の破壊総電荷量の比較結果である。図 1 7、図 1 8 から明らかなように同一条件で形成したトンネル膜において、消去時、書き込み時ともに、従来構造に



比べ、本実施形態の構造の方がより良い結果を示す。本実施形態における E E P R O M およびこの製造方法によれば、上述のように、特性のばらつきが少なく、書き換え寿命、電荷保持寿命ともに長くかつ、書き換え速度の速い不揮発メモリを得ることができることがわかる。

【 0 1 6 1 】

なお、本実施形態では、メモリトランジスタおよび選択トランジスタのソース領域の両方がオフセット構造である場合を説明したが、メモリトランジスタのソース領域または選択トランジスタのソース領域のどちらか一方のみをオフセット構造とすることもできる。

【 0 1 6 2 】

(他の実施形態)

上記した各実施形態では、層間絶縁膜 1 1 が O N O 膜により構成されている場合を例として説明したが、O N O 膜に限らず、窒化膜を有する膜であれば、他の膜とすることもできる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態における E E P R O M の平面図である。

【図 2】

図 1 中の A - A' 方向断面図である。

【図 3】

図 1 中の B - B' 方向断面図である。

【図 4】

本発明の第 1 実施形態における E E P R O M の製造工程を示す図であり、図 1 中の A - A' 方向での断面図である。

【図 5】

図 4 に続く製造工程を示す図である。

【図 6】

図 5 に続く製造工程を示す図である。

【図 7】

本発明の第 1 実施形態における E E P R O M の製造工程を示す図であり、図 1 中の B - B' 方向での断面図である。

【図 8】

図 7 に続く製造工程を示す図である。

【図 9】

本発明の第 2 実施形態における E E P R O M の平面図である。

【図 1 0】

図 9 中の A - A' 方向断面図である。

【図 1 1】

本発明の第 2 実施形態における E E P R O M の製造工程を示す図であり、図 9 中の A - A' 方向での断面図である。

【図 1 2】

図 1 1 に続く製造工程を示す図である。

【図 1 3】

本発明の第 3 実施形態における E E P R O M の平面図である。

【図 1 4】

図 1 3 中の A - A' 方向断面図である。

【図 1 5】

本発明の第 3 実施形態における E E P R O M の製造工程を示す図であり、図 1 3 中の A - A' 方向断面図である。

【図 1 6】

図 1 5 に続く製造工程を示す図である。

【図 1 7】

本発明の第 3 実施形態における図 1 4 に示す構造の E E P R O M と、従来における図 2 0 に示す構造の E E P R O M との消去時での定電流 T D D B 測定結果（ゲート正バイアス）を示す図である。

【図 1 8】

本発明の第 3 実施形態における図 1 4 に示す構造の E E P R O M と、従来における図 2 0 に示す構造の E E P R O M との書き込み時での定電流 T D D B 測定結

果（ゲート負バイアス）を示す図である。

【図 1 9】

従来における第 1 の例としての E E P R O M の断面図である。

【図 2 0】

従来における第 2 の例としての E E P R O M の断面図である。

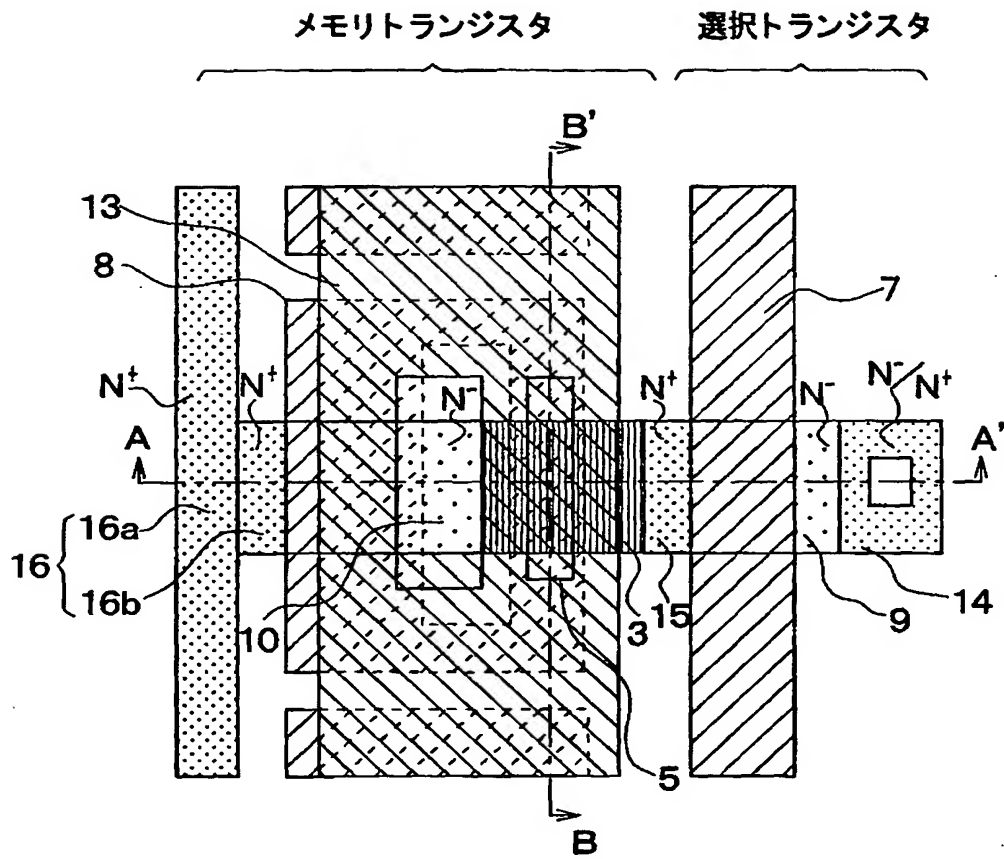
【符号の説明】

- 1 … P 型半導体基板、 2 … 素子分離のための厚い酸化膜、
- 3 … 埋め込まれた  $N^+$  型層、 4 … ゲート酸化膜、 5 … トンネル膜形成領域、
- 6 … トンネル膜、 7 … 選択トランジスタのゲート電極、
- 8 … メモリトランジスタの浮遊ゲート電極、
- 9 … 選択トランジスタのドレイン側  $N^-$  型電界緩和層、
- 1 0 … メモリトランジスタのドレイン側  $N^-$  型電界緩和層、
- 1 1 … 層間絶縁層、 1 2 … メモリトランジスタのチャネル領域、
- 1 3 … 第 2 層ポリシリコンで形成された制御ゲート電極、
- 1 4 … 選択トランジスタの  $N^- / N^+$  型二重拡散ドレイン層、
- 1 5 … 選択トランジスタの  $N^+$  型ソース層、
- 1 6 … メモリトランジスタの  $N^+$  型ソース引き出し層、
- 1 7 … 選択トランジスタ側の  $N^-$  型層、
- 1 8 … メモリトランジスタのソース側  $N^-$  型層引き出し部、
- 2 0 … メモリトランジスタのドレイン側  $N^-$  型層、
- 2 1 … 選択トランジスタの  $N^- / N^+$  型二重拡散ソース層、
- 2 2 … メモリトランジスタの  $N^- / N^+$  型二重拡散ソース層、
- 3 1 … P 型半導体基板、 3 2 … 埋め込まれた  $N^+$  型層、
- 3 3 … ゲート酸化膜、 3 4 … トンネル膜、
- 3 5 … 第 1 層ポリシリコンによる浮遊ゲート電極、 3 6 … 層間絶縁層、
- 3 7 … 第 2 層ポリシリコンによる制御ゲート電極、
- 3 8 … 第 2 層ポリシリコンによる選択トランジスタのゲート電極、
- 3 9 … 選択トランジスタの  $N^-$  型電界緩和層、
- 4 0 … 選択トランジスタの  $N^+$  型ドレイン層、

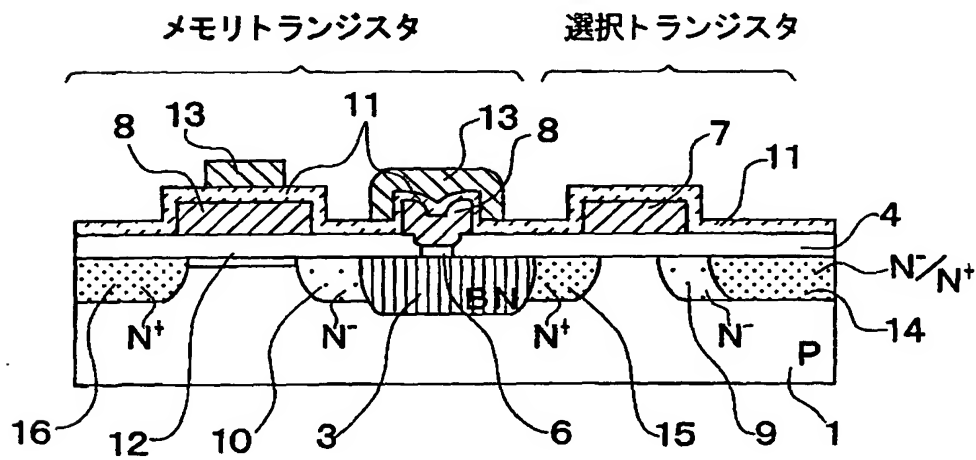
- 4 1 …選択トランジスタの $N^+$ 型ソース層、
- 4 2 …メモリトランジスタの $N^+$ 型ソース層、
- 4 3 …メモリトランジスタの $N^-$ 型電界緩和層、
- 4 4 …選択トランジスタのゲート電極を構成する第 1 層ポリシリコン層、
- 4 5 …選択トランジスタのゲート電極部に残留する層間絶縁層、
- 4 6 …選択トランジスタのゲート電極を構成する第 2 層ポリシリコン層、
- 5 1 …犠牲酸化膜、 5 2 …ゲート酸化膜、 5 3 …第 1 層ポリシリコン膜、
- 5 4 …第 2 層ポリシリコン膜。

【書類名】 図面

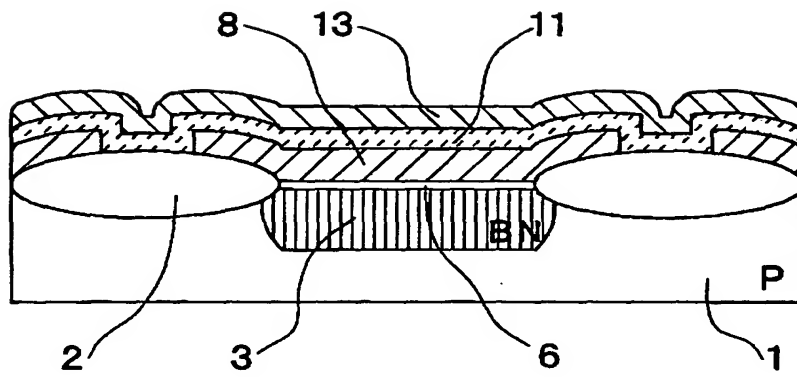
【図 1】



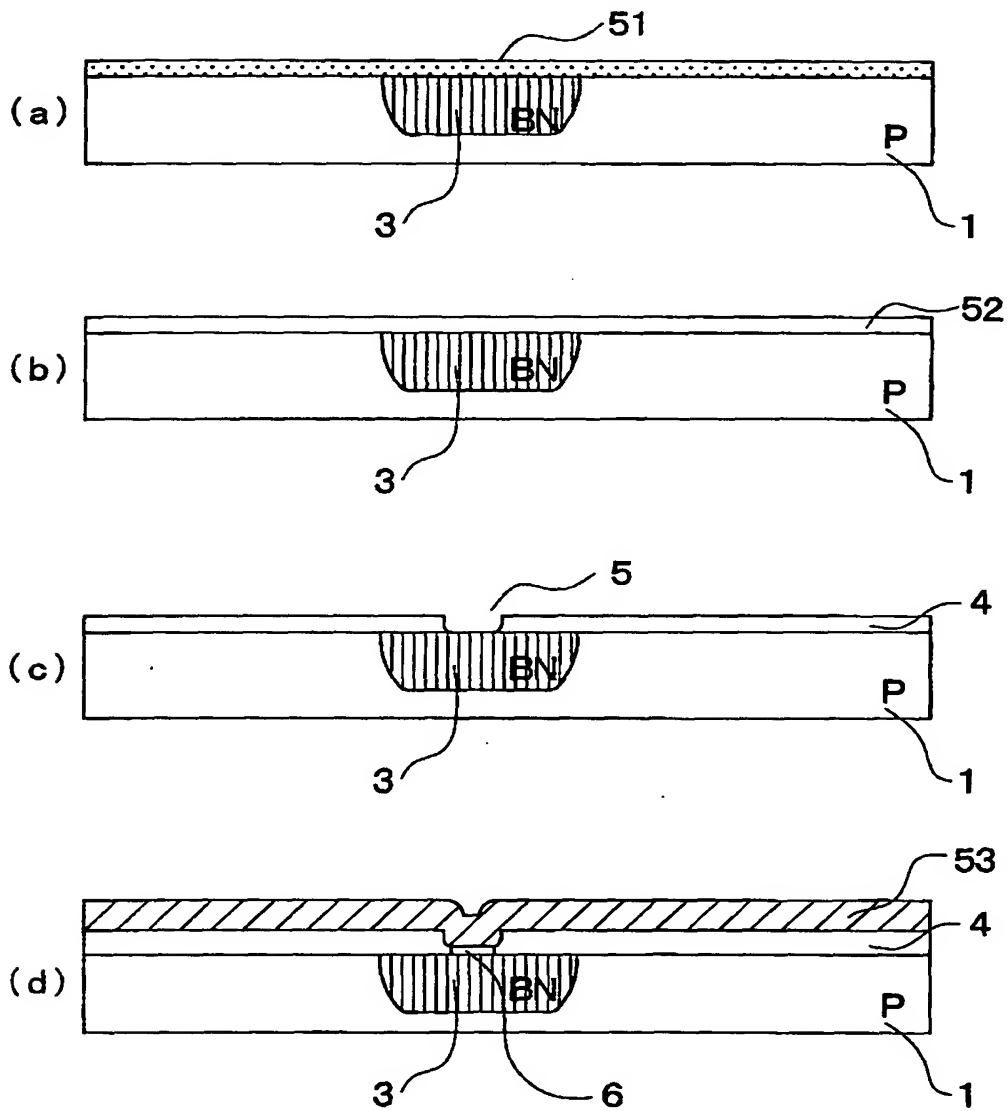
【図 2】



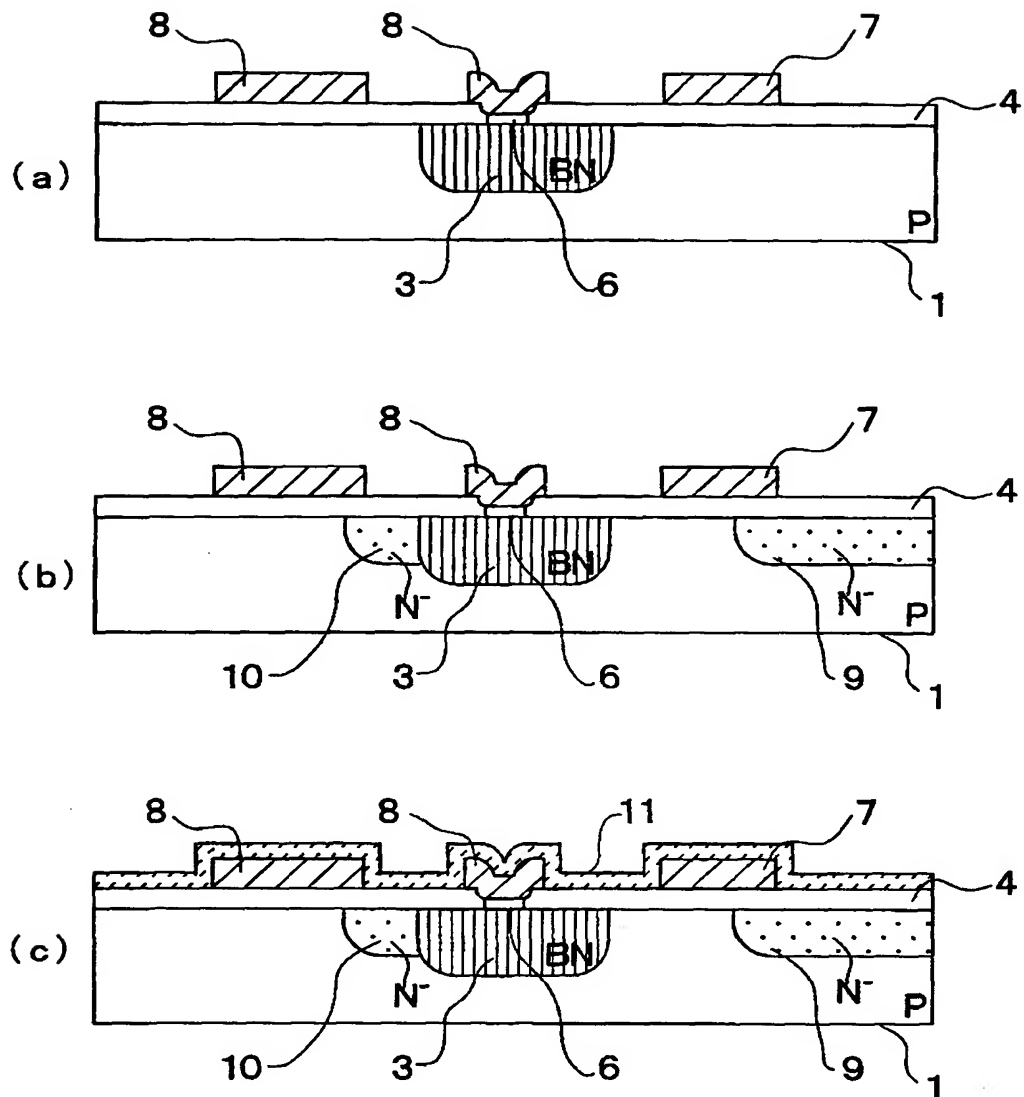
【図 3】



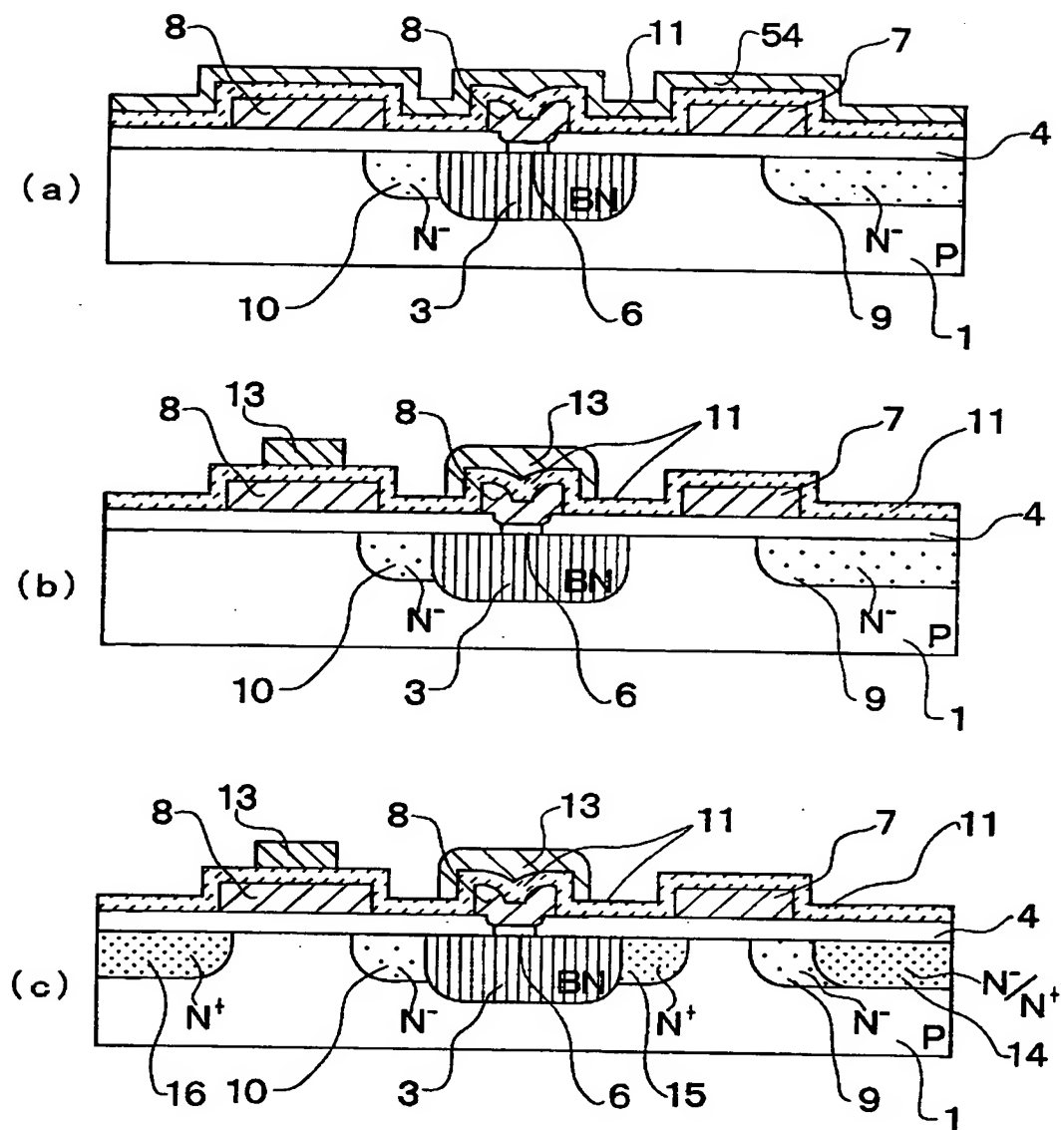
【図 4】



【図 5】

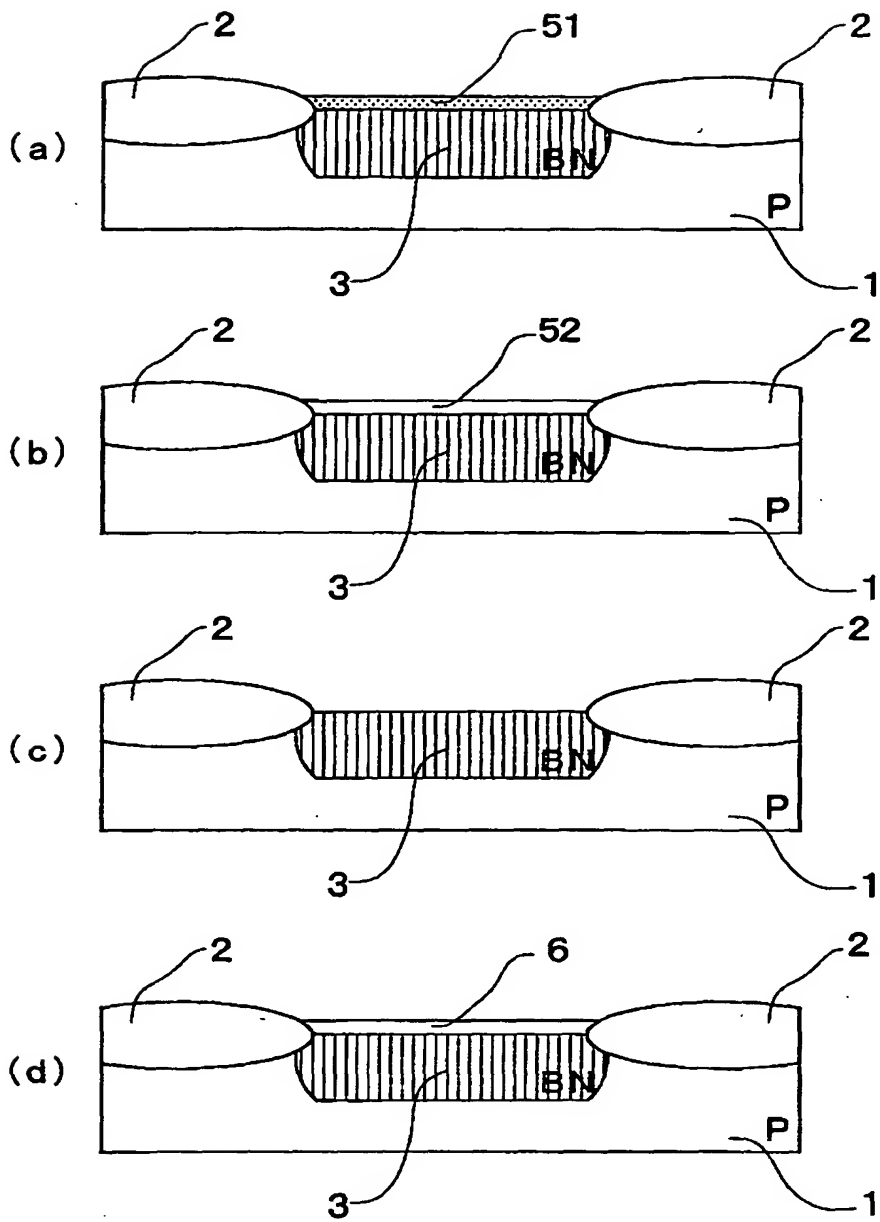


【図 6】

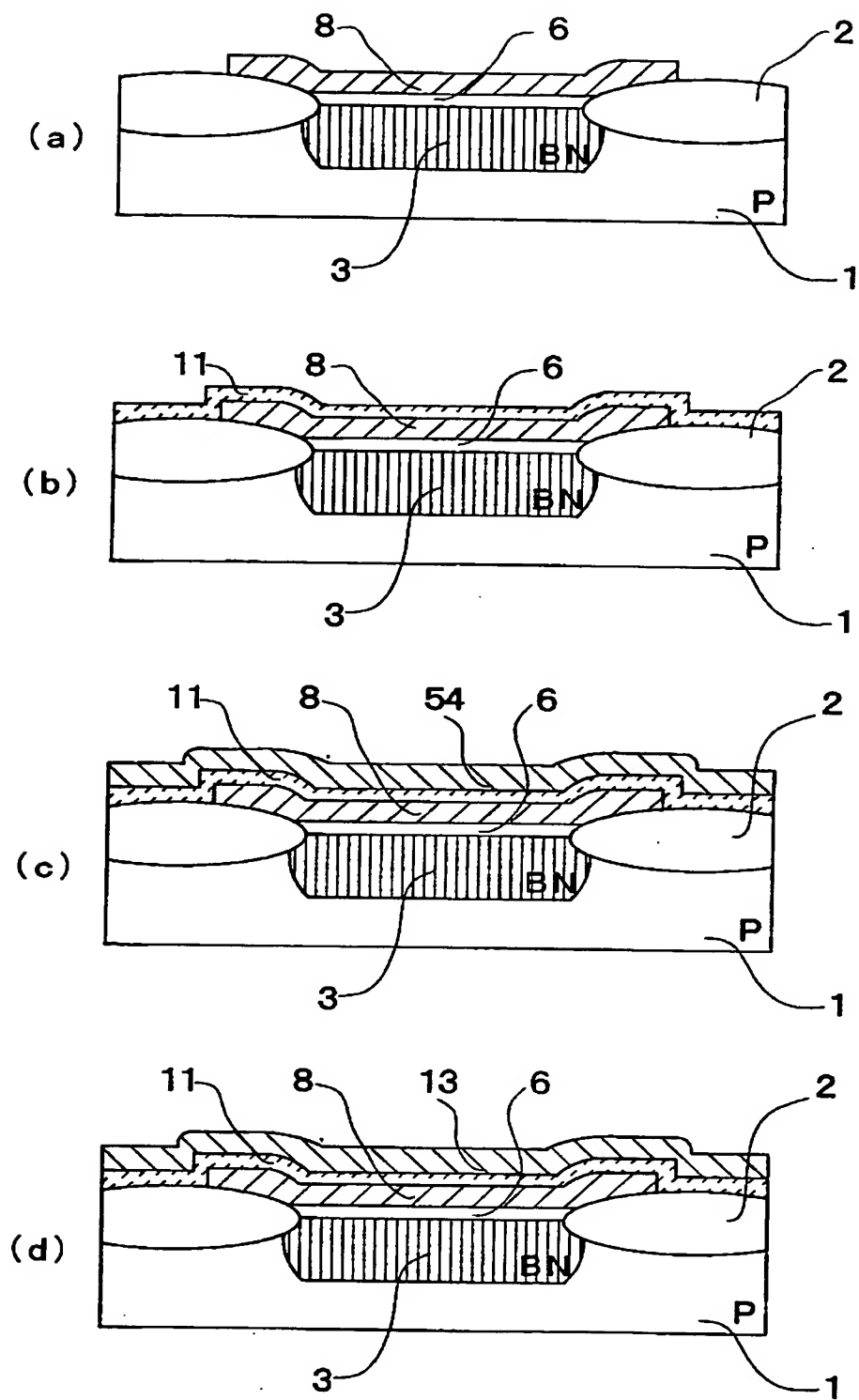




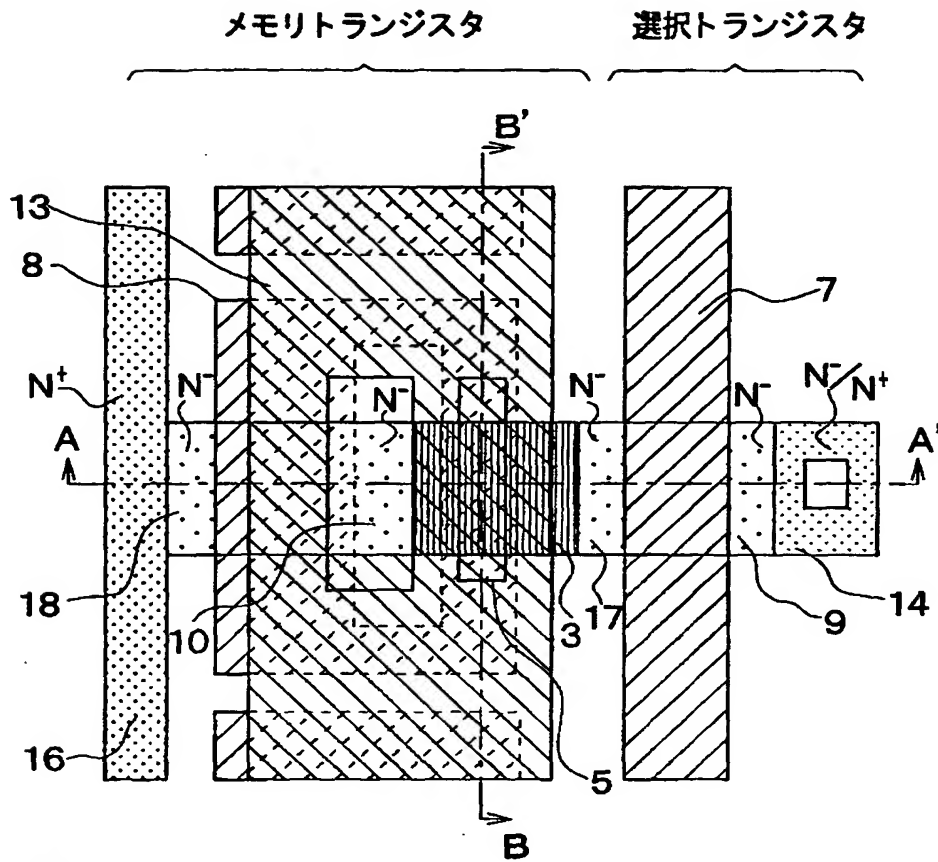
【図7】



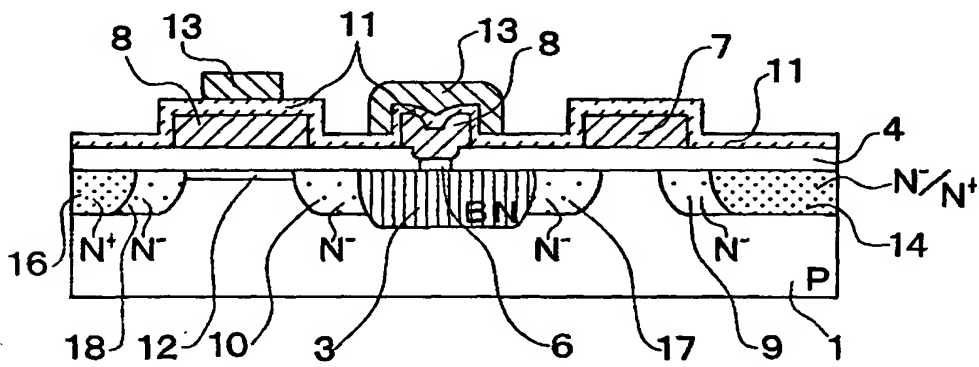
【図 8】



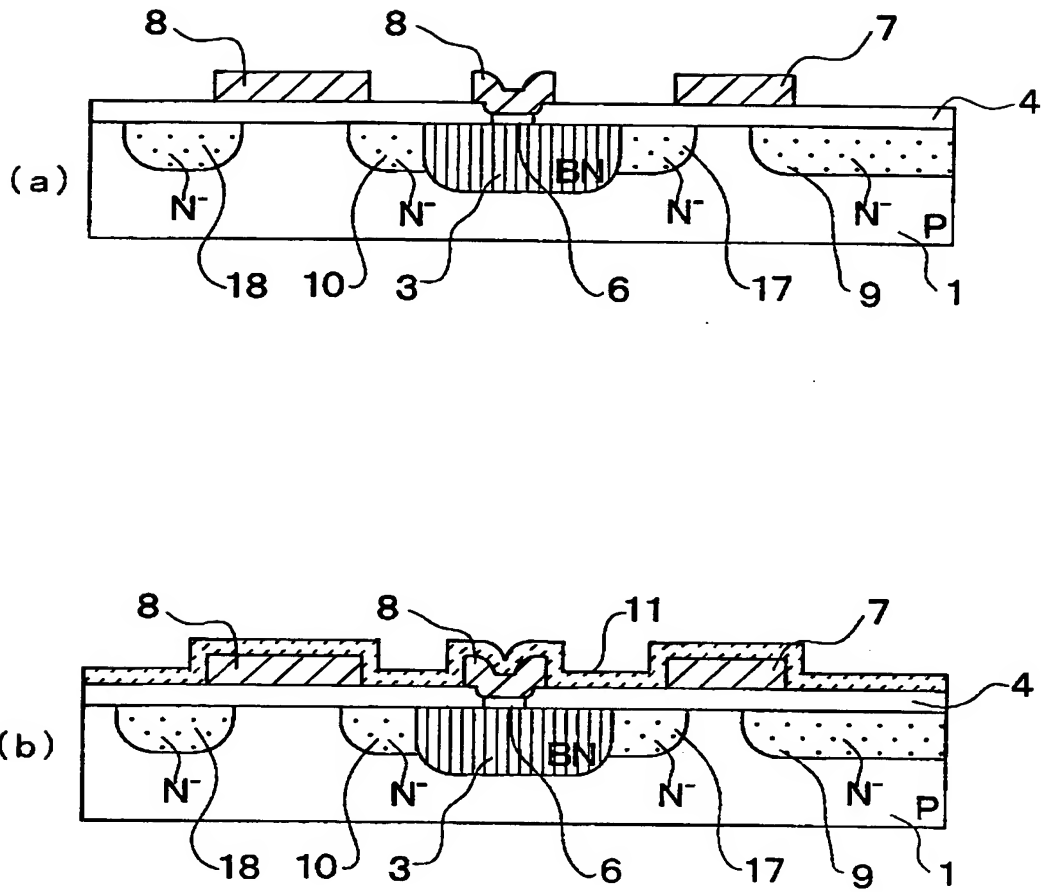
【図 9】



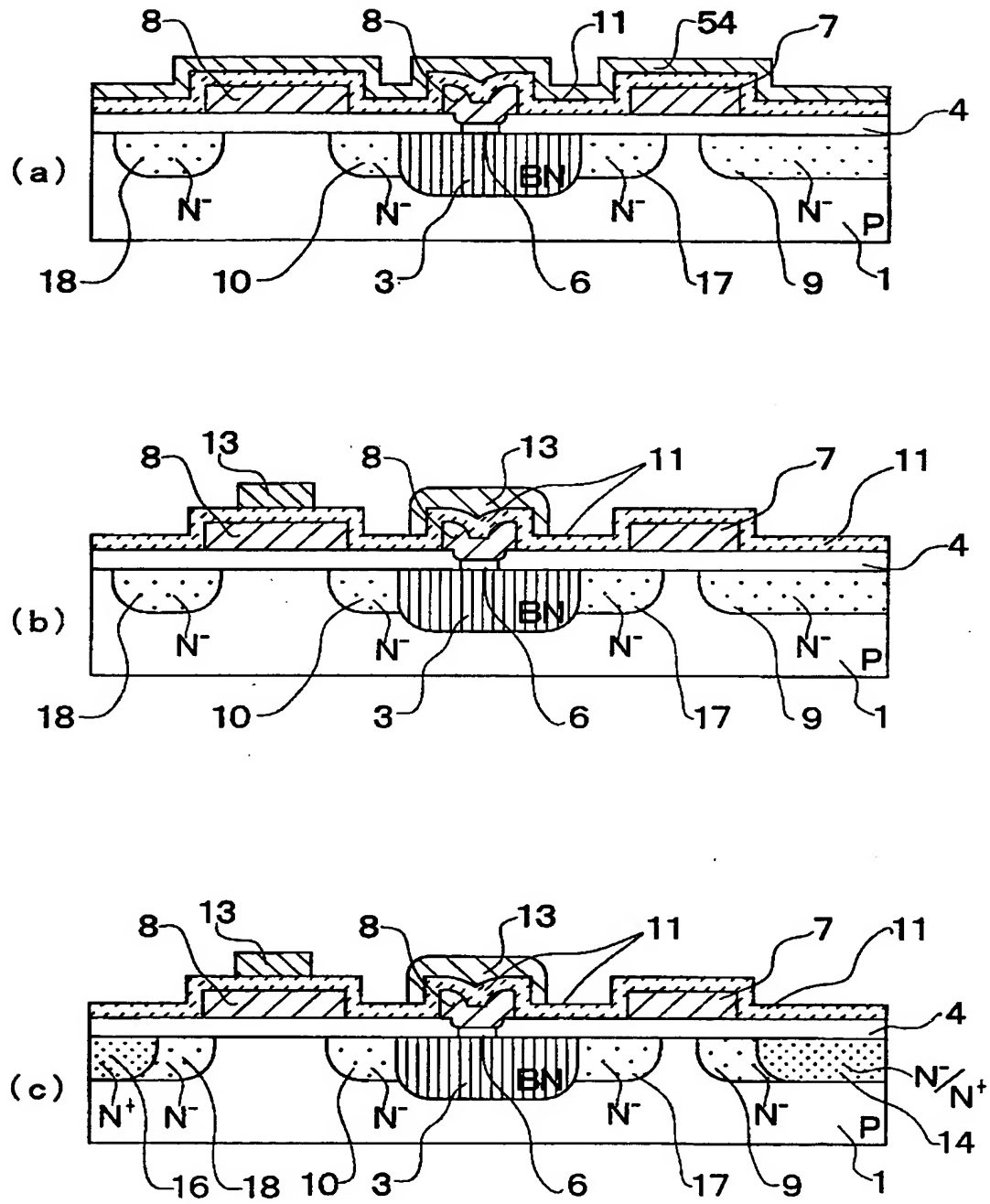
【図 10】



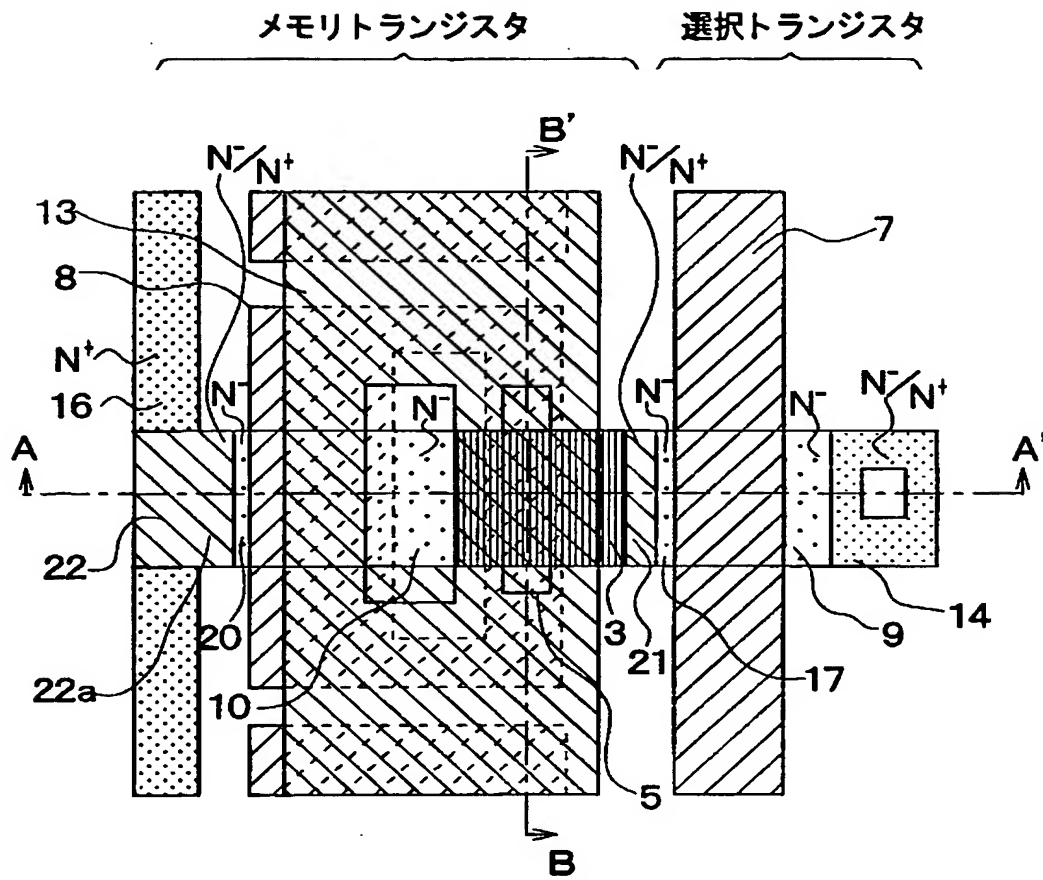
【図 11】



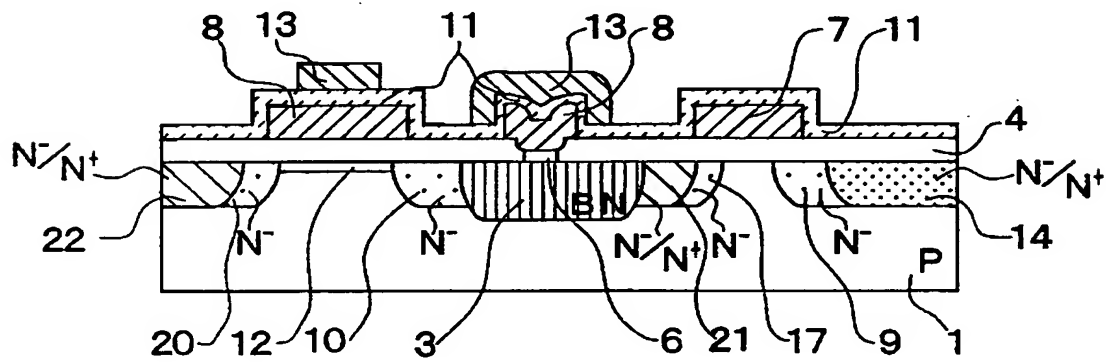
【図 12】



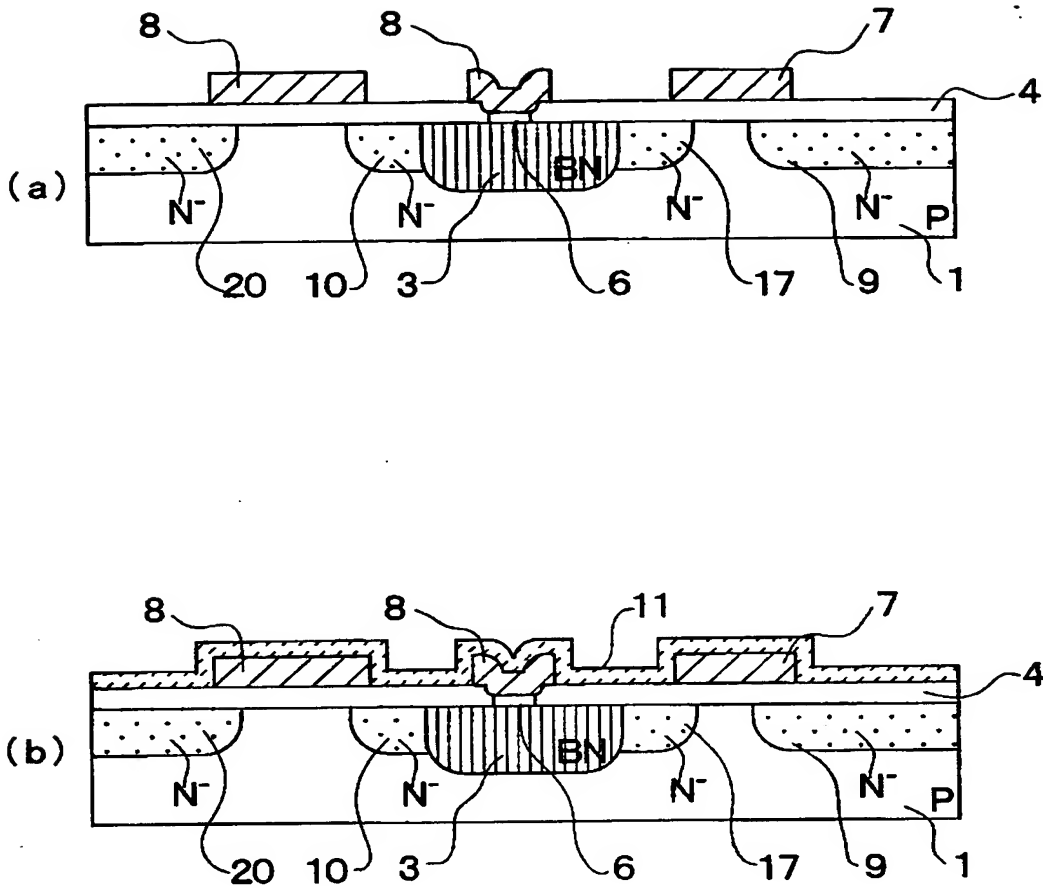
【図 13】



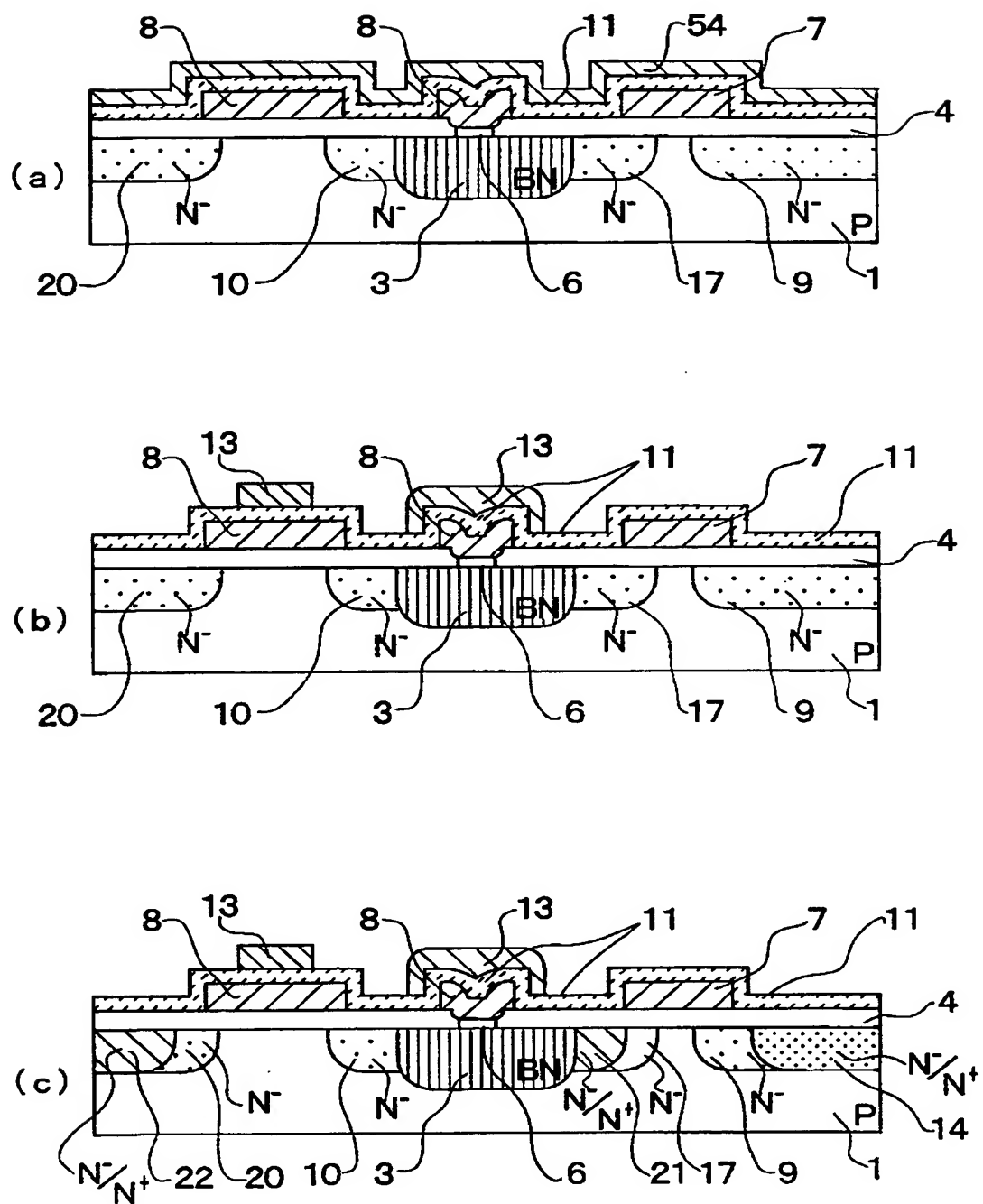
【図 14】



【図15】

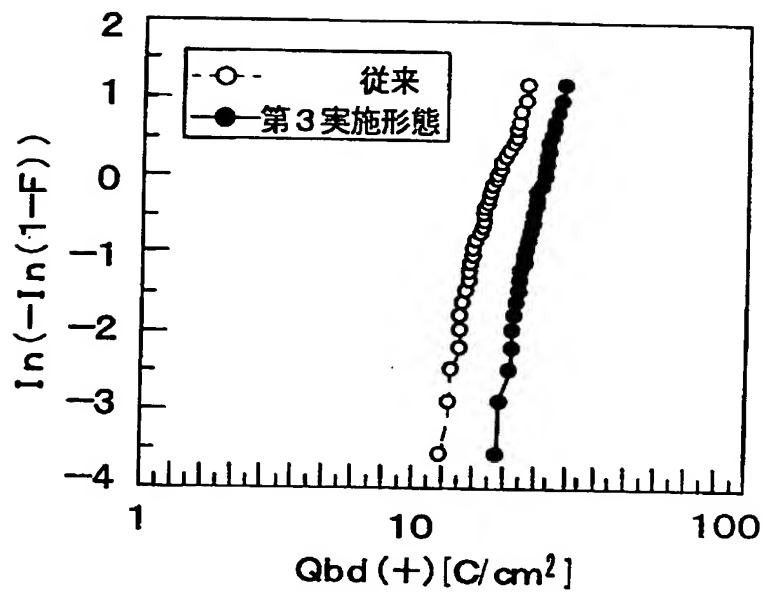


【図 16】

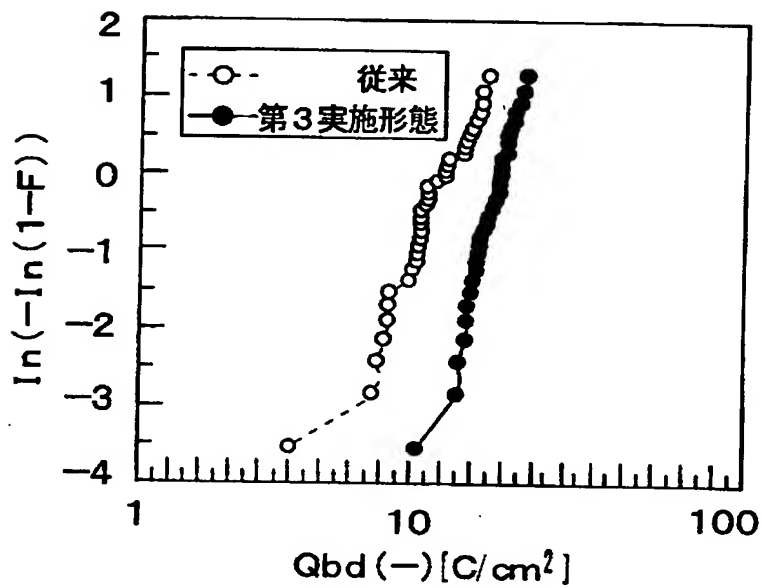




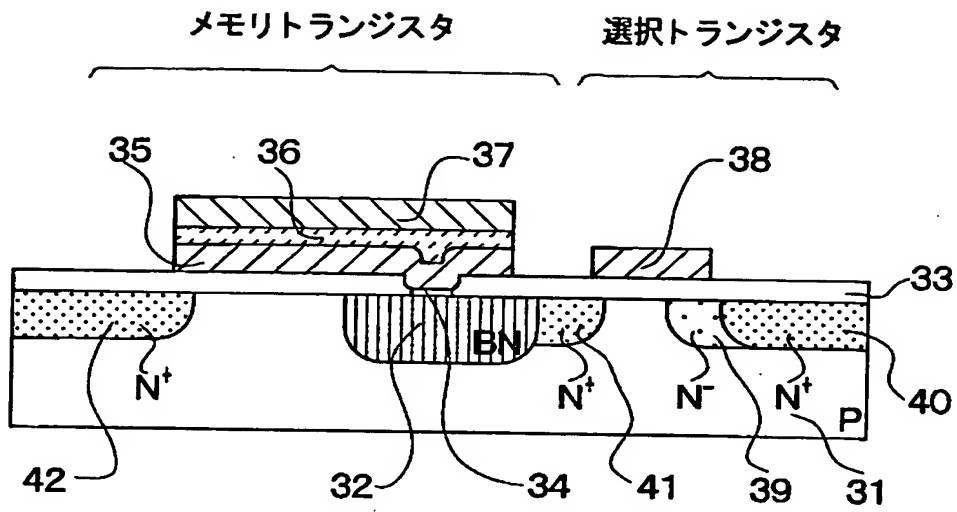
【図17】



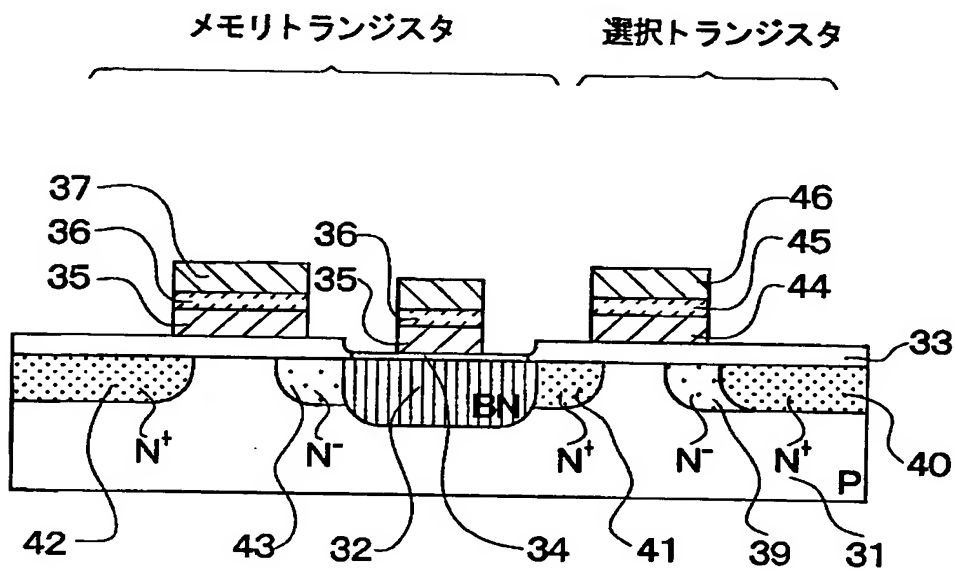
【図18】



【図 19】



【図 20】



【書類名】 要約書

【要約】

【課題】 書き換え寿命の低下と、電荷保持特性の劣化とを抑制しつつ、メモリトランジスタの特性ばらつきおよび寄生容量を低減することができる E E P R O M およびその製造方法を提供する。

【解決手段】 メモリトランジスタを次のように形成する。トンネル膜 6 の全部と、チャネル形成予定領域 1 2 とを覆い、かつ、チャネル形成予定領域 1 2 と埋め込み層 3 の間の領域を覆わない形状にて浮遊ゲート電極 8 を形成する。そして、浮遊ゲート電極 8 の端面を利用して自己整合的にドレイン側電界緩和層 1 0 を形成する。浮遊ゲート電極 8 の上に層間絶縁膜 1 1 を介して、トンネル膜 6 が形成された領域上では、少なくとも浮遊ゲート電極 8 より幅が広く、浮遊ゲート電極 8 を包み込む形状で、チャネル形成予定領域 1 2 の上では浮遊ゲート電極 8 より幅が狭い形状にて制御ゲート電極 1 3 を形成する。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000004260]

1. 変更年月日 1996年10月 8日  
[変更理由] 名称変更  
住 所 愛知県刈谷市昭和町1丁目1番地  
氏 名 株式会社デンソー